

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
BIBLIOTECA UNIVERSITÁRIA**

Juan Sebastián Moya Baquero

**ETIQUETA RFID MINIATURIZADA DE BAIXA POTÊNCIA PARA  
IDENTIFICAÇÃO DE OBJETOS.**

Florianópolis

2016



Juan Sebastián Moya Baquero

**ETIQUETA RFID MINIATURIZADA DE BAIXA POTÊNCIA PARA  
IDENTIFICAÇÃO DE OBJETOS.**

Tese submetida ao Programa de Pós-Graduação  
em Engenharia Elétrica para a obtenção do  
Grau de Mestre em Engenharia Elétrica.

Orientador

Universidade Federal de Santa Catarina:

Prof. Dr. Fernando Rangel de Sousa

Florianópolis

2016

Ficha de identificação da obra elaborada pelo autor,  
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Moya Baquero, Juan Sebastian

Etiqueta RFID miniaturizada de baixa potência para  
identificação de objetos / Juan Sebastian Moya Baquero ;  
orientador, Fernando Rangel de Sousa - Florianópolis, SC,  
2016.

146 p.

Dissertação (mestrado) - Universidade Federal de Santa  
Catarina, Centro Tecnológico. Programa de Pós-Graduação em  
Engenharia Elétrica.

Inclui referências

1. Engenharia Elétrica. 2. RFID miniaturizado. 3. Baixa  
potencia. 4. Internet of Things. 5. Transferência de  
energia sem fio. I. Rangel de Sousa, Fernando. II.  
Universidade Federal de Santa Catarina. Programa de Pós  
Graduação em Engenharia Elétrica. III. Título.

Juan Sebastián Moya Baquero

**ETIQUETA RFID MINIATURIZADA DE BAIXA POTÊNCIA PARA  
IDENTIFICAÇÃO DE OBJETOS.**

Esta Tese foi julgada aprovada para a obtenção do Título de “Mestre em Engenharia Elétrica”, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, 14 de outubro 2016.



---

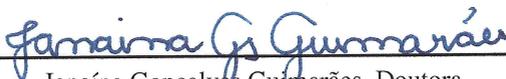
Prof. Marcelo Lobo Heldwein  
Coordenador  
Universidade Federal de Santa Catarina

**Banca Examinadora:**



---

Prof. Dr. Fernando Rangel de Sousa  
Orientador  
Universidade Federal de Santa Catarina



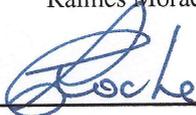
---

Janaína Gonçalves Guimarães, Doutora



---

Raimés Moraes, Doutor



---

Carlos Aurélio Faria da Rocha, Doutor



*Este trabajo está dedicado a mis padres por todo el amor, todas las enseñanzas y oportunidades que me han dado incondicionalmente.*



## RESUMO

A tecnologia RFID tem trazido grandes benefícios à sociedade moderna possibilitando, por exemplo, o rastreamento de objetos, pessoas ou animais, diminuição do tempo de realização do inventário em lojas, entre outras aplicações. Ela é composta por duas partes principais: leitor e etiqueta. O primeiro transmite energia sem fio para a segunda com o objetivo de extrair a informação contida nela. Um conceito recente que pode ser potencializado pela tecnologia RFID, é a Internet dos Objetos, pois permite salvar uma quantidade colossal de dados, analisá-los e tomar decisões a partir dos resultados obtidos, de forma independente, para beneficiar ou otimizar algum tipo de atividade. Neste trabalho foi desenvolvida uma etiqueta RFID completamente integrada e de baixo consumo na tecnologia CMOS 180 nm para aplicações da Internet dos Objetos. A frequência do sinal da portadora para energizar a etiqueta é de 1,04 GHz, enquanto que a frequência da modulante é de 1 MHz. A etiqueta é composta por um *front-end* RF/DC, um circuito de leitura da informação armazenada na memória ROM *full-custom* (carga da etiqueta) e um transistor para modular a informação transmitida de volta ao leitor. Por fim, a carga tem um consumo nominal de 1  $\mu$ W e a etiqueta é ativada com um valor mínimo de potência entregue pelo leitor de 14 dBm.

**Palavras-chave:** RFID. Etiqueta. Leitor. Internet dos Objetos. Baixa potência. Miniaturização. Transferência de potência sem fio. Transferência de informação sem fio.



## ABSTRACT

RFID technology has brought many benefits to modern society, for example, object, people or animal tracking, store inventory time-reduction and many other applications. It is composed by two main parts: the reader and the tag. The first transmits power wirelessly to the tag, in order to extract the information contained in it. One recent concept that can be powered by RFID technology is the Internet of Things, which corresponds to a colossal data base, for independent decision-making based on received information analysis, for the sake of benefit and optimization of a specific activity. This work developed a fully-integrated, low-power RFID tag for Internet of Things application in CMOS 180 nm technology. The carrier frequency is 1.04 GHz and the modulating signal is 1 MHz. The tag is composed by an RF front-end, a full-custom ROM memory reading circuit (tag load) and a modulation transistor, in order to backscatter the information to the reader. Finally, the load consumes  $1 \mu\text{W}$  of nominal power and the tag starts backscattering the information with a minimum 14 dBm available power at the reader.

**Keywords:** RFID. Tag. Reader. Internet of things. Low-Power. Miniaturization. Wireless Power Transfer. Wireless Data Transfer.



## LISTA DE FIGURAS

Figura 1	Estrutura das diferentes camadas na rede IoT.....	25
Figura 2	Principais tecnologias de Auto-ID. ....	26
Figura 3	Fluxograma implementado no projeto. ....	31
Figura 4	Diagrama de blocos geral do sistema proposto para leitura da informação inserida na etiqueta. ....	33
Figura 5	Diagrama de sub-blocos da etiqueta. ....	34
Figura 6	Tanque LC. ....	35
Figura 7	Sistema com modulação de carga. ....	38
Figura 8	Sistema completo para demodulação da informação da etiqueta. ....	39
Figura 9	Diagrama de sub-blocos da etiqueta. ....	41
Figura 10	Geometria do indutor integrado. ....	42
Figura 11	Indutor desenhado na ferramenta de simulação eletromagnética EMPro da Keysight®. ....	43
Figura 12	Parte real e parte imaginária da impedância do indutor variando a frequência. ....	44
Figura 13	Modelo do indutor após simulação eletromagnética. ....	44
Figura 14	Fator de qualidade em função da frequência. ....	45
Figura 15	Célula unitária do retificador de tensão. ....	46
Figura 16	Retificador de tensão de três estágios. ....	47
Figura 17	Simulação transiente da entrada diferencial e da saída do retificador. ....	48
Figura 18	Simulação transiente da saída do retificador após extração dos elementos parasitos. ....	48
Figura 19	PCE do retificador com a carga variando e mantendo a potência disponível na entrada em -5 dBm. ....	49
Figura 20	Carga completa do protótipo. ....	51
Figura 21	Simulação transiente da saída da carga do sistema. ....	52
Figura 22	Simulação pós-leiaute transiente da saída da carga do sistema. ....	52
Figura 23	Chave para modular a informação. ....	53
Figura 24	Simulação transiente da sequência de bits junto com a tensão diferencial na bobina. ....	54
Figura 25	Componentes da etiqueta junto com o modelo do indutor. ....	55
Figura 26	Simulação transiente da saída do sistema completo. ....	56

Figura 27	Simulação pós-leiaute transiente da saída do sistema completo.	56
Figura 28	Modelagem do acoplamento indutivo com os componentes, as estruturas parasitas e a indutância mutua.	57
Figura 29	Leiaute da bobina do leitor.	57
Figura 30	Simulações da resistência e da indutância da bobina variando a frequência.	58
Figura 31	Ganho de tensão variando a frequência.	59
Figura 32	Memória ROM.	63
Figura 33	Simulação transiente do esquemático das entradas e saídas da memória ROM.	64
Figura 34	Simulação transiente das entradas e saídas da memória ROM após extração das estruturas parasitas.	64
Figura 35	Esquemático do decodificador de dois para quatro endereços.	65
Figura 36	Simulação transiente das entradas A0 e A1 e das saídas do decodificador.	66
Figura 37	Simulação transiente das entradas A0 e A1 e das saídas do decodificador após extração das estruturas parasitas.	67
Figura 38	Diagrama do oscilador em anel.	68
Figura 39	Simulação transiente da saída do oscilador em anel.	68
Figura 40	Frequência do sinal de saída variando a tensão de alimentação.	69
Figura 41	Simulação transiente da saída do oscilador em anel.	70
Figura 42	Frequência do sinal de saída variando a tensão de alimentação após extração das estruturas parasitas.	70
Figura 43	Esquemático completo do registrador de deslocamento PISO.	72
Figura 44	Esquemático dos três últimos bits do registrador de deslocamento PISO.	73
Figura 45	Diagrama de tempo dos sinais dos três últimos bits do registrador de deslocamento PISO.	73
Figura 46	Simulação transiente da sequência 110101 na saída do registrador de deslocamento PISO.	75
Figura 47	Simulação transiente da sequência 110001 na saída do registrador de deslocamento PISO.	75
Figura 48	Simulação transiente da sequência 101111 na saída do registrador de deslocamento PISO.	75
Figura 49	Simulação transiente da sequência 101101 na saída do registrador de deslocamento PISO.	76

Figura 50 Simulação pós-leiaute transiente da sequência 110101 na saída do registrador de deslocamento PISO. ....	76
Figura 51 Simulação pós-leiaute transiente da sequência 110001 na saída do registrador de deslocamento PISO. ....	77
Figura 52 Simulação pós-leiaute transiente da sequência 101111 na saída do registrador de deslocamento PISO. ....	77
Figura 53 Simulação pós-leiaute transiente da sequência 101101 na saída do registrador de deslocamento PISO. ....	77
Figura 54 Divisor de frequência por dezesseis. ....	78
Figura 55 Simulação transiente na saída do divisor de frequência. ....	79
Figura 56 Simulação pós-leiaute transiente na saída do divisor de frequência. ....	80
Figura 57 Diagrama de blocos do circuito projetado. ....	81
Figura 58 Simulação transiente do esquemático na tecnologia XFAB600nm. ....	81
Figura 59 Simulação transiente do sistema após extração de parasitas na tecnologia XFAB600nm. ....	82
Figura 60 Amostra do circuito fabricado na XFAB600nm. ....	83
Figura 61 Resposta transiente no osciloscópio para um sinal de <i>clock</i> com frequência de 1 MHz. ....	84
Figura 62 Resposta transiente no osciloscópio para um sinal de <i>clock</i> com frequência de 200 kHz. ....	84
Figura 63 Diagrama de blocos do <i>setup</i> de medição do chip da XFAB600nm. ....	85
Figura 64 <i>Setup</i> da medição da resposta no domínio transiente da carga na bancada experimental usando o analisador lógico. ....	86
Figura 65 Resposta transiente no analisador lógico para um sinal de <i>clock</i> com frequência de 1 MHz. ....	86
Figura 66 Resposta transiente no analisador lógico para um sinal de <i>clock</i> com frequência de 200 kHz. ....	87
Figura 67 Amostra da etiqueta fabricada. ....	88
Figura 68 Esquemático do sistema para realizar as medições da influência do <i>seal ring</i> no fator de qualidade do indutor. ....	88
Figura 69 <i>Setup</i> na bancada experimental para realizar as medições. ....	89
Figura 70 Carta de Smith do parâmetro S11 refletido na entrada do leitor com e sem <i>seal ring</i> . ....	90
Figura 71 Capacitância de entrada do retificador variando a frequência. ....	91
Figura 72 Esquemático do sistema para obter a resposta da etiqueta no domínio da frequência. ....	92

Figura 73 <i>Setup</i> na bancada experimental para obter a resposta da etiqueta no domínio da frequência. ....	92
Figura 74 Resposta da etiqueta no domínio da frequência. ....	93
Figura 75 Diferença entre as frequências da fundamental e da componente da sequência de bits para diferentes potências entregues pelo gerador de sinais mudando a distância entre a bobina do leitor e a etiqueta. ....	94
Figura 76 Potência da componente da sequência de bits para diferentes potências entregues pelo gerador de sinais mudando a distância entre a bobina do leitor e a etiqueta. ....	95
Figura 77 Esquemático para demodulação da informação da etiqueta. ...	95
Figura 78 <i>Setup</i> na bancada experimental das medições no domínio do tempo. ....	96
Figura 79 Dados adquiridos do GNU Radio, amplificados e transformação em sequência de bits. ....	97
Figura 80 Frequência do sinal modulante variando a potência entregue pelo gerador de sinais para diferentes distâncias entre o leitor e a etiqueta. ....	97
Figura 81 Leiaute da etiqueta completa. ....	112
Figura 82 Leiaute do retificador de tensão. ....	113
Figura 83 Leiautes do (a) Capacitor padrão da tecnologia e do (b) Capacitor com a área otimizada. ....	114
Figura 84 Leiaute da carga do sistema. ....	114
Figura 85 Leiaute da memória ROM. ....	115
Figura 86 Leiaute do decodificador de dois para quatro endereços. ....	116
Figura 87 Leiaute da <i>clock</i> . ....	116
Figura 88 Leiaute do divisor de frequência. ....	117
Figura 89 Leiaute do registrador de deslocamento PISO. ....	118
Figura 90 Leiaute do chip enviado para fabricação. ....	118
Figura 91 Leiaute da carga com os pads. ....	119
Figura 92 Esquemático para extração da tensão de limiar do <i>mosfet</i> tipo n. ....	127
Figura 93 Esquemático para extração da tensão limiar do MOSFET tipo p. ....	129
Figura 94 Esquemático da porta lógica OR. ....	133
Figura 95 Esquemático da porta lógica AND. ....	134
Figura 96 Esquemático da porta lógica inversora. ....	135
Figura 97 Esquemático do Flip-Flop D. ....	136
Figura 98 Transiente do flip-flop tipo D. ....	136

Figura 99 Simulação do esquemático da saída do Flip-Flop quando há uma transição crescente na entrada para encontrar o tempo de <i>setup</i> . . . .	137
Figura 100 Simulação do esquemático da saída do Flip-Flop quando se tem uma transição decrescente na entrada para encontrar o tempo de <i>setup</i> . . .	137
Figura 101 Simulação após extração das parasitas da saída do Flip-Flop quando se tem uma transição crescente na entrada para encontrar o tempo de <i>setup</i> . . . . .	138
Figura 102 Simulação após extração das parasitas da saída do Flip-Flop quando se tem uma transição decrescente na entrada para encontrar o tempo de <i>setup</i> . . . . .	138
Figura 103 Modelagem do acoplamento indutivo com os componentes, as estruturas parasitas e a indutância mutua. . . . .	143



## LISTA DE TABELAS

Tabela 1	Tabela comparativa entre as diferentes tecnologias das Auto-ID.	27
Tabela 2	Estado da Arte de dispositivos RFID miniaturizados com antena integrada.....	30
Tabela 3	Módulo das tensões de limiar dos transistores tipo Pmos e tipo Nmos .....	40
Tabela 4	Especificações do sistema.....	41
Tabela 5	Tabela com a as seqüências de bits a partir do valor nas entradas.	50
Tabela 6	Comparação entre as simulações do esquemático e pós-leiaute dos parâmetros da carga. ....	52
Tabela 7	Valores atribuídos aos parâmetros do acoplamento indutivo... ..	59
Tabela 8	Parâmetros da memória ROM.....	65
Tabela 9	Diferentes combinações das entradas do decodificador e suas respectivas saídas. ....	66
Tabela 10	Resultados dos parâmetros do decodificador de endereços....	67
Tabela 11	Parâmetros do oscilador em anel.....	71
Tabela 12	Parâmetros do registrador de deslocamento PISO.....	78
Tabela 13	Parâmetros do divisor de frequência.....	80
Tabela 14	Valores médios dos parâmetros.....	89
Tabela 15	Comparação dos resultados obtidos com o estado da arte escolhido.....	99
Tabela 16	<i>Corners</i> a serem analisados.....	123
Tabela 17	Tabela com os <i>corners</i> das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=0 V e A1=0 V.....	123
Tabela 18	Tabela com os <i>corners</i> das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=1 V e A1=0 V.....	124
Tabela 19	Tabela com os <i>corners</i> das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=0 V e A1=1 V.....	124
Tabela 20	Tabela com os <i>corners</i> das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=1 V e A1=1 V.....	124
Tabela 21	Razões de aspecto $\frac{W_t}{L_t}$ do transistor Nmos.....	128
Tabela 22	Parâmetros dos <i>corners</i> da tensão limiar.....	128
Tabela 23	<i>Corners</i> da tensão de limiar $V_{t0}$ do transistor Nmos.....	128
Tabela 24	<i>Corners</i> da tensão de limiar $V_{t0}$ do transistor Pmos.....	129

Tabela 25	Parâmetros da porta lógica OR. ....	133
Tabela 26	Parâmetros para validar o funcionamento da porta lógica AND. ....	134
Tabela 27	Parâmetros para validar o funcionamento do inversor CMOS. ....	135
Tabela 28	Parâmetros de validação do funcionamento do Flip-Flop tipo D. ....	139
Tabela 29	Mínimo período do sinal de <i>clock</i> do Flip-Flop tipo D. ....	139

## LISTA DE ABREVIATURAS E SIGLAS

ASK	<i>Amplitude-Shift Keying</i>
Auto-ID	<i>Automatic Identification</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CNC	Comando Numérico Computadorizado
$C_{res}$	Capacitor de ressonância
$C_{carga}$	Capacitor da carga
DC	Corrente Contínua
EMPro	Electromagnetic Professional
EPC	<i>Electronic Product Code</i>
ff	Velocidade de resposta rápida Pmos e Nmos
fs	Velocidade de resposta rápida Pmos e devagar Nmos
FSK	<i>Frequency-Shift Keying</i>
GRF	Grupo de pesquisas em RadioFrequência
i(t)	Corrente no instante t
IoT	Internet dos Objetos ou <i>Internet of Things</i> em Inglês
$L_t$	Largura do Transistor
LC	Indutor-Capacitor
MIT	<i>Massachussetts Institute of Technology</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
Nmos	MOSFET Tipo N
OCR	<i>Optical Character Recognition</i>
PCE	<i>Eficiência de Conversão de Potência</i>
PISO	<i>Parallel-Input Serial-Output</i>
Pmos	MOSFET Tipo P
PSK	<i>Phase-Shift Keying</i>
PVT	<i>Process Voltage Temperature</i>
RF	Radio Frequency
RFID	Radio Frequency Identification
ROM	<i>Read Only Memory</i>
SAR	<i>Specific Absorption Rate</i>
sf	Velocidade de resposta devagar Pmos e rápida Nmos
ss	Velocidade de resposta devagar Pmos e Nmos
UFSC	Universidade Federal de Santa Catarina
USRP	Universal Software Radio Peripheral
$V_{DC}$	Tensão de corrente contínua
$V_{r0}$	Tensão de Limiar

WBAN	<i>Wireless Body Area Network</i>
WPT	<i>Wireless Power Transfer</i>
$W_t$	Largura do Transistor
$Z_{ant}$	Impedância da antena
$Z_{ant}^*$	Conjugado Complexo da Impedância da antena
$Z_{eq}$	Impedância equivalente
$Z_{in}$	Impedância na entrada
$Z_{load}$	Impedância na carga

## LISTA DE SÍMBOLOS

$\Gamma$	Coeficiente de Reflexão
$\mu$	Micro
$\mu_0$	Permeabilidade no vácuo
$\eta$	Eficiência do Acoplamento Indutivo
$\Omega$	Ohm
$\omega$	Frequência Angular
$\phi(t)$	Fluxo magnético no instante t
$\phi_t$	Tensão térmica
C	Capacitor
cm	Centímetros
F	Farad
f	Frequência
GHz	Gigahertz
$^{\circ}C$	Grau Celsius
H	Henry
J	Joules
k	Fator de acoplamento
kHz	Quilohertz
L	Indutor
l	Comprimento do indutor
M	Indutância Mútua
MHz	Megahertz
mm	Milímetro
N	Número de espiras do indutor
nm	Nanómetro
$R_{off}$	Resistência do transistor desligado
$R_{on}$	Resistência do transistor ligado
S	Superfície do indutor
s	Segundo
V	Volt
W	Watt



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	25
1.1	INTERNET DOS OBJETOS (IOT) .....	25
1.2	TECNOLOGIAS PARA IDENTIFICAÇÃO AUTOMÁTICA .	26
<b>1.2.1</b>	<b>Principais características da tecnologia RFID</b> .....	27
1.3	ESTADO DA ARTE .....	28
1.4	OBJETIVOS .....	31
<b>1.4.1</b>	<b>Organização do trabalho</b> .....	32
<b>2</b>	<b>DEFINIÇÃO DO SISTEMA PROPOSTO</b> .....	33
2.1	DEFINIÇÃO DOS BLOCOS DO RECEPTOR .....	33
<b>2.1.1</b>	<b>Acoplamento Indutivo</b> .....	34
<b>2.1.2</b>	<b>Tanque LC</b> .....	35
<b>2.1.3</b>	<b>Retificador de tensão</b> .....	35
<b>2.1.4</b>	<b>Capacitância da carga</b> .....	36
<b>2.1.5</b>	<b>Carga do sistema</b> .....	36
<b>2.1.6</b>	<b>Modulação de carga</b> .....	37
2.2	LEITOR DO SISTEMA .....	38
2.3	CARACTERÍSTICAS DO PROJETO .....	39
<b>2.3.1</b>	<b>Consumo de potência nos dispositivos CMOS</b> .....	39
<b>2.3.2</b>	<b>Tensões de limiar dos transistores Pmos e Nmos da tecnologia.</b> .....	40
<b>3</b>	<b>PROJETO DO SISTEMA DESENVOLVIDO</b> .....	41
3.1	INDUTOR PROJETADO PARA 1,04 GHz .....	42
<b>3.1.1</b>	<b>Modelagem do indutor</b> .....	43
<b>3.1.2</b>	<b>Simulação do indutor na ferramenta EMPro</b> .....	43
3.2	RETIFICADOR DE TENSÃO .....	45
<b>3.2.1</b>	<b>Simulações transientes</b> .....	48
<b>3.2.2</b>	<b>PCE do retificador.</b> .....	49
3.3	CAPACITÂNCIA DA CARGA .....	50
3.4	CARGA DO SISTEMA .....	50
<b>3.4.1</b>	<b>Simulação transiente da carga</b> .....	51
3.5	CASAMENTO DE IMPEDÂNCIA .....	53
3.6	MODULAÇÃO DE CARGA .....	53
3.7	ETIQUETA INTEGRADA .....	55
<b>3.7.1</b>	<b>Simulação transiente</b> .....	55
3.8	MODELAGEM DO ACOPLAMENTO INDUTIVO .....	55
<b>4</b>	<b>FLUXO DE PROJETO DA CARGA</b> .....	61
4.1	MEMÓRIA ROM .....	61

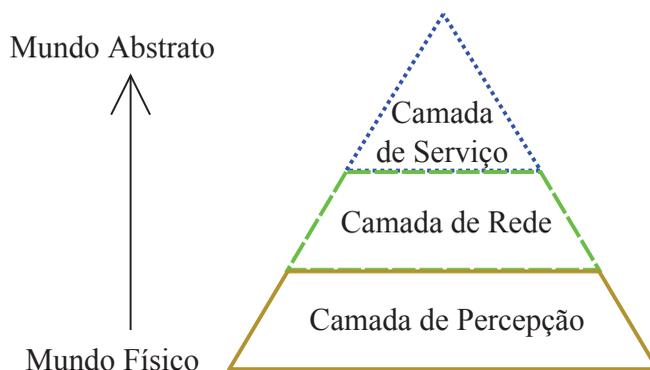
4.1.1	<b>Simulação transiente</b> .....	63
4.2	DECODIFICADOR DE DOIS PARA QUATRO ENDEREÇOS	65
4.2.1	<b>Simulação transiente</b> .....	66
4.3	OSCILADOR COM FREQUÊNCIA DE 1 MHz .....	67
4.3.1	<b>Simulação transiente</b> .....	68
4.4	REGISTRADOR DE DESLOCAMENTO <i>PARALLEL INPUT-SERIAL OUTPUT</i> (PISO) .....	71
4.4.1	<b>Simulação transiente</b> .....	74
4.5	DIVISOR DE FREQUÊNCIA .....	78
4.5.1	<b>Simulação transiente</b> .....	79
4.6	VERIFICAÇÃO DO PROJETO DA CARGA NA TECNOLOGIA XFAB600NM .....	80
4.6.1	<b>Simulação transiente</b> .....	81
5	<b>RESULTADOS DOS CIRCUITOS PROJETADOS</b> .....	83
5.1	PROTÓTIPO NA XFAB600NM .....	83
5.2	PROTÓTIPO NA GF180NM .....	87
5.2.1	<b>Caracterização da etiqueta</b> .....	87
5.2.2	<b>Resposta em Frequência da etiqueta</b> .....	91
5.2.3	<b>Resposta Transiente da etiqueta</b> .....	94
5.2.4	<b>Comparação com os dispositivos do estado da arte</b> .....	97
6	<b>DISCUSSÕES E CONCLUSÕES</b> .....	101
	<b>REFERÊNCIAS</b> .....	105
	<b>APÊNDICE A – Leiautes fabricados nas tecnologias GF180nm e XFAB600nm</b> .....	111
	<b>APÊNDICE B – Análise de <i>corners</i></b> .....	123
	<b>APÊNDICE C – Metodologia ACM para extração de parâmetros dos transistores na tecnologia GF180nm</b> .....	127
	<b>APÊNDICE D – Estudo dos tempos de propagação das portas lógicas OR, AND e NOT e do flip-flop tipo D</b> .....	133
	<b>APÊNDICE E – Modelagem matemática do acoplamento indutivo</b> .....	143

# 1 INTRODUÇÃO

## 1.1 INTERNET DOS OBJETOS (IOT)

A Internet dos Objetos, ou *Internet of Things* (IoT) em Inglês, tem sido considerada como o terceiro feito global na indústria das telecomunicações, após o computador e a Internet (KUBO, 2014). Desde que a IoT foi introduzida, em 1999, por Kevin Ashton do *Massachusetts Institute of Technology* (MIT) (MATTERN; FLOERKEMEIER, 2010), grandes esforços têm sido realizados para desenvolvê-la. A IoT é um conceito que descreve uma rede global que permite interligar os objetos físicos a uma base de processamento de dados de tamanho colossal com o objetivo de adquirir informação captada pelos próprios objetos para tomada de decisões em tempo real através da internet; assim, pode responder de maneira automática às necessidades e demandas dos usuários (COETZEE; EKSTEEN, 2011). Ou seja, a tomada de decisões e as respectivas respostas são realizadas unicamente pela própria rede. Para atingir esse objetivo, a IoT está estruturada da seguinte maneira: Camada de Percepção, Camada de Rede e Camada de Serviço (XIAOLIN JIA, 2012), como mostrado na Figura 1.

Figura 1: Estrutura das diferentes camadas na rede IoT.



A Camada de Percepção tem como prioridade captar a informação desejada do mundo físico a partir das diferentes fontes. A Camada de Serviço corresponde à camada que processa toda a informação recuperada e funciona como uma base de dados gigante. Ela também é chamada de Nuvem e é considerada a mais abstrata das três. Para que estas duas camadas consigam

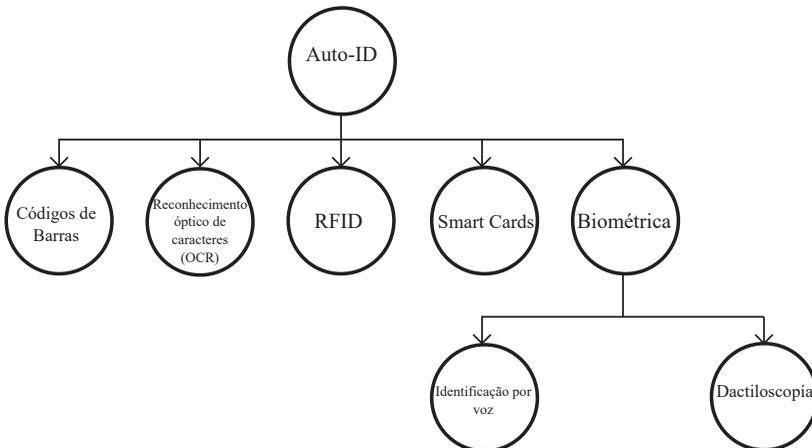
interagir, é definida a Camada de Rede, que usa qualquer tipo de rede de comunicação para transportar a informação.

Este trabalho procura desenvolver uma solução física através dos dispositivos que se encontram na Camada de Percepção para monitoramento e identificação de objetos. Para isso, precisa-se de uma tecnologia que forneça informação em tempo real, que consiga ser aderida facilmente ao objeto a ser identificado, que consuma pouca potência, seja de baixo custo e faça parte de uma rede de comunicação com uma base de dados para o respectivo processamento da informação. As tecnologias que possuem as características previamente citadas e se encaixam no contexto da Internet dos Objetos são as tecnologias Auto-ID.

## 1.2 TECNOLOGIAS PARA IDENTIFICAÇÃO AUTOMÁTICA

Diferentes tecnologias para identificação automática (Auto-ID) têm sido desenvolvidas nos últimos anos e todos os dias as pessoas são beneficiadas com o seu uso nas diferentes atividades realizadas. Por exemplo, os códigos de barras são usados pelos mercados para identificar os produtos selecionados pelos clientes. Outro exemplo se apresenta na hora de realizar uma viagem ao exterior, onde a tecnologia OCR (*Optical Character Recognition* em Inglês) é usada para leitura dos passaportes das pessoas para controle imigratório e como medida de segurança. Na Figura 2, as principais tecnologias de Auto-ID são apresentadas.

Figura 2: Principais tecnologias de Auto-ID.



Observa-se cinco categorias principais: código de barras, OCR, Identificação por Radiofrequência (RFID), *Smart Cards* e Biométrica. Por sua vez, a tecnologia biométrica pode ser subdividida entre a identificação de voz e a dactiloscopia. Uma vez apresentadas as diferentes possibilidades existentes das Auto-ID, precisa-se realizar uma comparação entre elas para determinar vantagens e desvantagens de cada tecnologia. Características como portabilidade, capacidade de memória, preço, possibilidade de reprogramação e de contato para realizar a leitura da informação foram definidas para a comparação apresentada na Tabela 1 (FINKENZELLER, 2003).

Tabela 1: Tabela comparativa entre as diferentes tecnologias das Auto-ID.

	Códigos de barras	OCR	Smart Cards	RFID	Biométrica
Portabilidade	✓✓✓	✓✓✓	✓✓	✓✓✓	✓✓✓
Capacidade de memória	✓	✓✓✓	✓✓✓	✓✓✓	✓✓✓
Preço	\$	\$\$\$	\$\$\$	\$	\$\$\$
Reprogramação	∅	∅	☑	☑	☑
Contato	∅	∅	∅	∅	□

✓✓✓: Alto(a); ✓✓: Médio(a); ✓: Baixo(a); ☑: Sim; ∅: Não; □: Em alguns casos; \$\$\$: Preço Alto; \$: Preço acessível.

Da Tabela 1, é possível identificar a tecnologia RFID como a opção mais vantajosa entre as tecnologias Auto-ID. Nos últimos anos houve uma massificação no uso dessa tecnologia como solução dos problemas encontrados em diferentes áreas, entre as quais podemos citar as aplicações biomédicas em cirurgias minimamente invasivas (HAO JIANG, 2014) e otimizações no sistema de controle da passagem do transporte público (CONFIDEX, março 2016). RFIDs também são usados no controle de estoque das lojas, para diminuir os tempos de realização do inventário dos produtos ou de procura de peças específicas (NORDICID, março 2016), (CHECKPOINT, abril 2016), (SOLUTIONS, março 2016)). Outro exemplo de campo de atuação onde foi desenvolvido dispositivo com tecnologia RFID é o rastreamento de produtos em transporte.

### 1.2.1 Principais características da tecnologia RFID

Dois componentes principais integram a tecnologia RFID: a etiqueta e o leitor. A etiqueta é composta por uma antena e um circuito integrado que se encontram fixados ao objeto a identificar e o leitor se comunica com a etiqueta via ondas eletromagnéticas para extrair a informação do objeto para um posterior processamento.

Existem várias classes de etiquetas segundo a funcionalidade (XIAO-LIN JIA, 2012). Etiquetas simples possuem um único código de identificação que leva o nome de *Electronic Product Code* (EPC) e permite identificar um produto exclusivo. Etiquetas mais complexas podem funcionar interrogando e extraíndo a informação de outras etiquetas. Adicionalmente, as etiquetas podem possuir uma bateria interna (etiqueta ativa) ou podem ser alimentadas por ondas de radiofrequência (etiqueta passiva). Outras características usadas para diferenciar etiquetas são o tamanho, a orientação, o tempo de operação e a região de operação do campo eletromagnético (*Near-Field* ou *Far-Field*) (FINKENZELLER, 2003).

Quanto à transferência de energia entre o leitor e a etiqueta na tecnologia RFID em campo próximo (*Near-Field*), existem dois métodos convencionais: acoplamento indutivo e acoplamento capacitivo. No acoplamento indutivo, o leitor emite um campo magnético para alimentar a etiqueta. No segundo caso, o leitor emite um campo elétrico (LEHPAMER, 2008). O método usado neste trabalho foi o acoplamento indutivo, pois o trabalho realizado dá continuidade ao trabalho apresentado em (CABRERA; SOUSA, 2014), desenvolvido no Laboratório de pesquisas em RadioFrequência (LRF) do Departamento de Engenharia Elétrica e Eletrônica da Universidade Federal de Santa Catarina (UFSC).

Finalmente, no caso das etiquetas passivas, duas condições devem ser satisfeitas entre o leitor e a etiqueta para garantir a comunicação:

- A energia transferida do leitor para a etiqueta deve ser suficiente para que o circuito interno consiga funcionar corretamente.
- O leitor deve receber e detectar a informação correta que foi extraída da etiqueta.

### 1.3 ESTADO DA ARTE

Foram selecionados alguns trabalhos que apresentam o desenvolvimento atual de etiquetas passivas integradas de baixa potência para identificação de objetos por acoplamento indutivo. Todos os trabalhos têm como principal propósito, a integração da antena da etiqueta. Embora esses trabalhos não façam parte da mesma aplicação, eles possuem várias características em comum que permitem comparações de desempenho, como: tecnologia, potência média da etiqueta, potência entregue pelo leitor, tensão de alimentação da carga, frequência do sinal da portadora, frequência do sinal modulante, área total da etiqueta e fator de qualidade do indutor integrado. Na Tabela 2, são exibidos esses critérios de comparação.

A etiqueta integrada apresentada em (G. HAObIJAM, 2007) permite monitorar e transmitir a informação dos sinais vitais de pessoas. O estudo principal do trabalho é a otimização do indutor integrado em circuitos RFID. A antena opera na frequência de 915 MHz, a frequência do sinal modulante é 500 kHz e o consumo total de potência na carga foi de 360  $\mu\text{W}$  com uma tensão DC de 3 V.

A etiqueta apresentada em (B. KIM, 2010) corresponde a um biosensor com um indutor em espiral integrado, projetado para trabalhar na frequência de 13,56 MHz. Duas versões desse indutor foram fabricadas com diâmetro externo de 6,3 mm e de 3 mm, respectivamente, sendo testadas a uma distância fixa do receptor de 1,5 mm. A tensão DC de operação do circuito integrado é 0,7 V.

O projeto de um RFID para sensores sem fio é apresentado em (A. BALDI, 2011) com foco principal no indutor integrado e no retificador do *front-end* de RF. A etiqueta consegue ser alimentada por um leitor a 4,4 mm de distância que transmite uma potência de 250 mW na frequência de 13,56 MHz. O circuito integrado da etiqueta consome uma potência de 720  $\mu\text{W}$  com uma tensão de alimentação de 1,8 V.

Em (M. H. NAZARI, 2014), descreve-se um sistema implantável de monitoramento contínuo de glicose. O implante funciona com uma potência de 6  $\mu\text{W}$  e uma tensão de 1,2 V. A antena é integrada e foi projetada para operar na frequência de 900 MHz. A potência emitida pelo leitor é de 160 mW.

Finalmente, em (ZARGHAM; GULAK, 2015) foi apresentado um sistema para transferência de potência sem fio (*Wireless Power Transfer* em Inglês) em dispositivos biomédicos implantáveis. O indutor da etiqueta foi integrado para funcionar na frequência de 160 MHz com uma tensão de alimentação de 1,2 V.

Tabela 2: Estado da Arte de dispositivos RFID miniaturizados com antena integrada.

Referência	(G. HAQBIAM, 2007)*	(B. KIM, 2010)	(A. BALDI, 2011)	(M. H. NAZARI, 2014)	(ZARGHAM; GULAK, 2015)
Tecnologia [nm]	CMOS 350 nm	CMOS 1,2 $\mu$ m	CMOS 180 nm	CMOS 180 nm	CMOS 130 nm
Potência média da etiqueta	360 $\mu$ W	-	720 $\mu$ W	6 $\mu$ W	1 mW
Potência emitida pelo leitor	-	-	250 mW	160 mW	100 mW
Tensão de alimentação [V]	3	0,7	1,8	1,2	1,2
Frequência do sinal da portadora [MHz]	915	13,56	13,56	900	160
Frequência do sinal modulante [MHz]	0,5	0,212	-	0,2	-
Área total da etiqueta [ $mm^2$ ]	0,38 $\times$ 0,38	7 $\times$ 7	1,5 $\times$ 1,5	1,4 $\times$ 1,4	2 $\times$ 2,18
Fator de qualidade do indutor integrado	6,2	1,2	0,89	-	12,3

\* Possui memória ROM integrada.

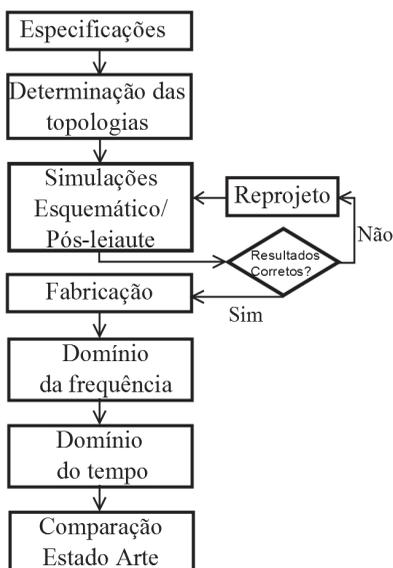
## 1.4 OBJETIVOS

A partir da Tabela 2, constata-se como informação mais relevante, valores altos de potência emitida por parte dos leitores para alimentar as etiquetas. Por outro lado, o uso de potências cada vez menores é desejável nesse tipo de tecnologia. Tendo em vista o que foi exposto anteriormente e para realizar um aporte no uso de etiquetas passivas com tecnologia RFID, o objetivo geral deste trabalho é desenvolver um sistema RFID completo e miniaturizado na faixa de GHz voltado para uma etiqueta configurável em tecnologia CMOS 180 nm de baixa potência para identificação de objetos.

Foram também definidos vários objetivos específicos como identificar, desenvolver e projetar os diferentes blocos que compõem o sistema RFID. Além disso, o consumo de potência de cada um dos blocos e sub-blocos do sistema RFID deverá ser minimizado e sua eficiência maximizada devido aos baixos níveis de potência utilizados. Finalmente, serão definidos e implementados os testes adequados para extrair corretamente a informação da etiqueta.

Para conseguir atingir todos esses objetivos, foi definido o seguinte fluxograma do projeto, apresentado na Figura 3.

Figura 3: Fluxograma implementado no projeto.



A partir da Figura 3, observa-se inicialmente a fase de definição das especificações do projeto a serem atingidas. Uma vez fixadas essas especificações, o seguinte passo corresponderá à definição das topologias de todos os blocos a serem usadas. Consequentemente, serão realizadas as simulações das vistas de esquemático e pós-leiaute dos blocos, para assim, determinar se as especificações foram cumpridas. Caso negativo, será realizada uma nova fase de reprojeto dos blocos que não alcançaram os resultados esperados. No momento em que todos os blocos estiverem funcionando corretamente, o projeto será enviado para fabricação. Uma vez que o fabricante enviar de volta o *chip*, ele será caracterizado tanto no domínio da frequência como domínio do tempo. Finalmente, será realizada uma comparação entre os resultados obtidos experimentalmente e as referências escolhidas no Estado da Arte.

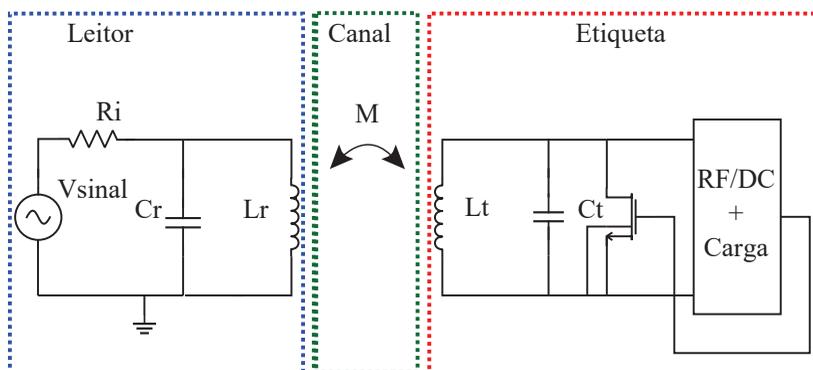
#### **1.4.1 Organização do trabalho**

O trabalho desenvolvido está organizado da seguinte forma, o Capítulo 2 apresenta o diagrama de blocos em alto nível do sistema completo desenvolvido, juntamente com as restrições que podem influenciar em seu desempenho. No Capítulo 3, são apresentados os principais blocos da etiqueta, com os respectivos resultados de simulação. No Capítulo 4, é apresentada uma análise mais detalhada dos blocos que compõem a carga do sistema e as respectivas simulações. Finalmente, no Capítulo 5, são mostrados os resultados experimentais e sua devida comparação com os sistemas do estado da arte.

## 2 DEFINIÇÃO DO SISTEMA PROPOSTO

Este capítulo apresenta a definição e a descrição dos blocos que compõem o sistema proposto de leitura da informação por acoplamento indutivo, que se encontra fixada em uma etiqueta. A Figura 4 ilustra o diagrama de blocos do sistema completo proposto.

Figura 4: Diagrama de blocos geral do sistema proposto para leitura da informação inserida na etiqueta.



Na Figura 4, identifica-se o sistema proposto dividido em três partes: o leitor (azul), o canal (verde) e a etiqueta (vermelho). O leitor corresponde a uma fonte de radiofrequência que procura entregar a energia necessária para ligar a etiqueta. Esta, por sua vez, possui a informação que precisa ser lida pelo leitor para identificar o objeto desejado. A troca de energia e informação entre as duas partes é realizada pelos dois indutores acoplados. Finalmente, a terceira parte do sistema corresponde ao canal, onde é realizada a transferência energia-informação. Nesse projeto, o canal usado é o ar.

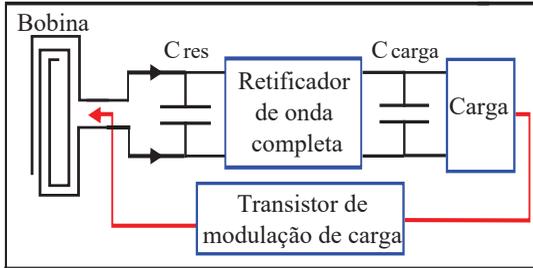
A seguir, são apresentados os detalhes de cada bloco e sub-bloco do sistema, juntamente com as restrições inerentes à aplicação.

### 2.1 DEFINIÇÃO DOS BLOCOS DO RECEPTOR

O receptor (ou etiqueta) é o componente que possui a informação do objeto que se deseja identificar na tecnologia RFID. Para ter acesso a tais dados, é necessário inicialmente, captar a energia do leitor, transformá-la em uma tensão constante para alimentar o circuito de acesso aos dados e, finalmente,

transmitir a informação de volta para o leitor. A Figura 5 apresenta o receptor proposto. Ele está dividido em três partes principais: o *front-end* RF/DC (a

Figura 5: Diagrama de sub-blocos da etiqueta.



bobina, o capacitor de ressonância  $C_{res}$ , o retificador de onda completa e o capacitor da carga  $C_{carga}$ ), a carga do sistema e o sistema de modulação de carga (transistor de modulação de carga).

A operação do sistema inicia quando o sinal emitido pelo leitor é captado pela etiqueta. O sinal diferencial recebido é retificado e regulado pelo retificador de onda completa e pelo capacitor da carga  $C_{carga}$ , respectivamente. Essa tensão DC alimenta todos os blocos que fazem parte da carga, dando início à leitura da informação contida na memória. A sequência de bits selecionada na memória modula a porta do transistor de carga, permitindo a transmissão da informação ao leitor.

### 2.1.1 Acoplamento Indutivo

A transferência de energia entre as bobinas do leitor e da etiqueta segue a lei de Faraday, que está definida como:

$$\varepsilon = \frac{d\phi}{dt}, \quad (2.1)$$

em que  $\varepsilon$  corresponde à força eletromotriz e  $\frac{d\phi}{dt}$  à variação do fluxo magnético no tempo. Esta lei indica a indução de uma força eletromotriz em uma bobina, devido à variação do fluxo magnético que passa por ela.

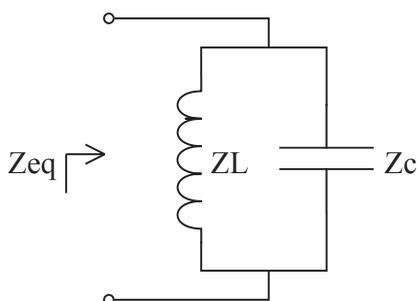
Para o caso do sistema proposto, primeiramente, uma corrente variando no tempo inserida por uma fonte, atravessa a bobina do leitor, gerando um campo magnético também variante no espaço. Ao aproximar a bobina do leitor à bobina da etiqueta, o fluxo magnético atravessando a superfície da etiqueta, induz uma força eletromotriz na bobina, que consequentemente gera

uma corrente alternada, transferindo assim, a energia do leitor para a etiqueta. Essa transferência de energia finaliza no momento em que as linhas do campo magnético deixam de permear a superfície da etiqueta.

### 2.1.2 Tanque LC

Adicionalmente, deve ser incluído um capacitor em paralelo com o indutor (Figura 6), para maximizar a transferência de energia para a carga, já que, o capacitor, juntamente com o indutor, formam uma rede de adaptação.

Figura 6: Tanque LC.



Ambas as impedâncias são função da frequência. Existe uma única frequência que permite o cancelamento das partes imaginárias, essa frequência é chamada de frequência de ressonância e é definida segundo a Equação 2.2.

$$f = \frac{1}{2\pi\sqrt{LC}}. \quad (2.2)$$

Para que a energia recebida seja transmitida para a carga, precisa-se retificar e filtrar o sinal na entrada, tal que a tensão na carga seja constante.

### 2.1.3 Retificador de tensão

Como primeiro passo para garantir uma tensão DC na carga, o sinal senoidal na entrada da etiqueta deve ser retificado, objetivando-se sempre, a maior eficiência de transformação da energia. Portanto define-se a eficiência de conversão de potência (PCE)(GUTIÉRREZ; SOUSA, 2014) como figura de mérito para avaliar o desempenho do retificador de tensão. Ela é apresentada

na Equação 2.3.

$$PCE = \frac{P_{dc}}{P_{av}}, \quad (2.3)$$

em que  $P_{dc}$  corresponde à potência DC na saída do retificador e  $P_{av}$ , à potência disponível na entrada do bloco.

Uma vez retificado o sinal da entrada, é necessário atenuar a ondulação da tensão resultante, tal que o valor de tensão na carga seja praticamente constante. Adicionalmente, em curtos intervalos de tempo, a carga alimentada pelo retificador deve usar mais energia do que a energia média. Por isso, o uso de um capacitor de armazenamento de carga elétrica na saída do retificador é indispensável.

### 2.1.4 Capacitância da carga

A capacitância da carga, ou capacitância de saída, tem como principal objetivo armazenar energia a ser fornecida à carga (nesse caso, ao sistema de leitura da memória ROM) quando a energia do retificador não for suficiente. Geralmente, os picos de potência acima da potência média consumida pela carga são devidos à comutação dos circuitos digitais. Portanto, o valor do capacitor deve ser determinado para responder à demanda. O valor do capacitor é obtido a partir da tensão de ondulação definida em (ARRIGO, 2006) e apresentada na Equação 2.4.

$$\Delta V = \frac{I_{carga}}{2fC} \Rightarrow C = \frac{I_{carga}}{2f\Delta V}, \quad (2.4)$$

em que  $f$  é a frequência de chaveamento (frequência do sinal de *clock*),  $I_{carga}$  é a corrente suprida à carga e  $\Delta V$  refere-se à ondulação máxima permitida da tensão na carga.

### 2.1.5 Carga do sistema

A informação do objeto a identificar encontra-se na memória ROM. Para extraí-la, são utilizados diversos blocos: decodificador de endereços, registrador de deslocamento *Parallel-Input Serial-Output* (PISO), oscilador e divisor de frequência.

Primeiramente, o decodificador de endereços permite selecionar uma única saída a partir de uma combinação estabelecida de valores nas entradas. O decodificador possui  $N$  entradas e  $2^N$  saídas, permitindo acesso a um maior

número de saídas com um número reduzido de entradas. As saídas deste circuito estão conectadas diretamente nas entradas da memória ROM, tendo acesso assim, a cada uma das palavras de informação. Quando a informação é solicitada, a memória ROM coloca cada um dos bits da palavra em cada uma das suas saídas. Em outras palavras, no momento de leitura da ROM, os bits de informação são simultaneamente disponibilizados nas saídas desta. Uma memória com palavras de  $M$  bits envia  $M$  bits de informação a um registrador de deslocamento PISO para serem transformados de paralelo para série. Devido à lógica deste bloco, três sinais de controle são utilizados para garantir o correto funcionamento: *clock* (controla os eventos acontecendo no PISO), *load* (realiza a leitura dos valores dos bits nas entradas) e *shift* (realiza o deslocamento serial dos bits dentro do PISO). O *clock* é usado nos sistemas síncronos como uma referência de tempo e, assim, escalonar os passos do processo. Como foi mencionado, existem dois outros sinais além do *clock* que devem ser implementados para o controle do PISO. Esses sinais são complementares, já que é inviável realizar a carga dos bits e, ao mesmo tempo, deslocá-los sem que haja perda da informação. Como se deseja receber a informação no leitor periodicamente, esse sinal *load/shift* é implementado por um divisor de frequência, tendo como sinal de entrada, o próprio sinal do *clock*.

Uma vez que a informação da memória encontra-se em formato serial, é possível realizar sua transmissão através do chaveamento de um transistor, para modular a carga.

### 2.1.6 Modulação de carga

Vários métodos básicos de modulação digital (modulação em amplitude (ASK), modulação em frequência (FSK) e modulação em fase (PSK)) (FINKENZELLER, 2003) são usados para transmitir a informação da etiqueta para o leitor. No caso da modulação de carga, o método usado é a modulação ASK, que permite através da mudança da impedância de entrada da etiqueta, a transmissão dos dados. Do ponto de vista elétrico, o método de modulação de carga (STOCKMAN, 1948) permite identificar os dados digitais por meio da mudança do coeficiente de reflexão (KUROKAWA, 1965) definido na Equação 2.5.

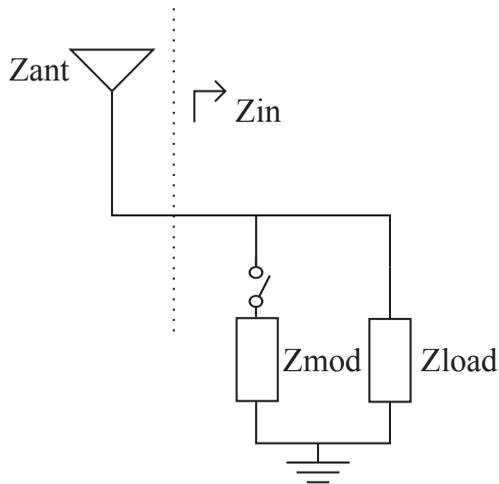
$$\Gamma = \frac{Z_{in} - Z_{ant}^*}{Z_{in} + Z_{ant}}, \quad (2.5)$$

em que  $Z_{ant}$  e  $Z_{ant}^*$  correspondem à impedância da antena da etiqueta e ao seu conjugado complexo, respectivamente.

A partir da Equação 2.5, verifica-se que o coeficiente de reflexão se

torna zero quando  $Z_{in}$  e  $Z_{ant}^*$  possuem o mesmo valor. Um coeficiente de reflexão nulo, indica que não há reflexão das ondas chegando no plano da impedância  $Z_{in}$  e, portanto, as impedâncias estão casadas. Um coeficiente de reflexão com valor  $|\Gamma|=1$  indica uma reflexão total da onda no plano da impedância de entrada, isto é, um descasamento completo das impedâncias. Portanto, o circuito modulado pela carga (impedância  $Z_{mod}$ ), é colocado em paralelo com a carga ( impedância  $Z_{load}$ ), para mudar o casamento entre ela e a antena ( $Z_{ant}$ ) e, assim, influenciar o coeficiente de reflexão como apresentado na Figura 7.

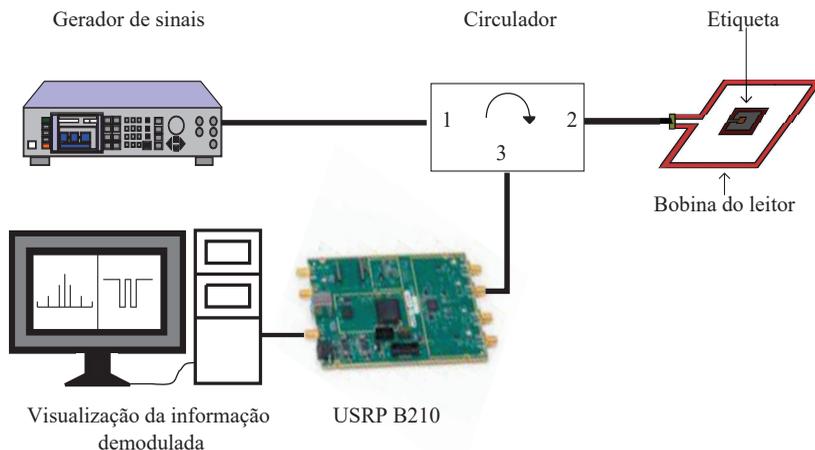
Figura 7: Sistema com modulação de carga.



## 2.2 LEITOR DO SISTEMA

A Figura 8 apresenta o sistema completo para captação e demodulação da informação inserida na etiqueta no domínio do tempo. Ele é composto por cinco elementos: gerador de sinais, bobina do leitor, circulador, plataforma para captação de sinais de RF (USRP B210) e uma estação para visualização da informação demodulada. O gerador de sinais emite potência através da bobina do leitor para alimentar a etiqueta, enquanto que a USRP B210 recebe a informação modulada. O processamento da informação é realizado na plataforma para imediatamente visualizá-la na estação do computador. Finalmente, observa-se o uso de um circulador entre o gerador de sinais, a USRP B210 e a bobina do leitor para transmitir a energia entre componentes, evitando ondas

Figura 8: Sistema completo para demodulação da informação da etiqueta.



refletidas em cada uma das portas, que podem estragar os dispositivos.

## 2.3 CARACTERÍSTICAS DO PROJETO

Ao longo do fluxo de projeto do sistema, vários aspectos podem afetar o desempenho do circuito. Uma das características principais no contexto da IoT é o uso de circuitos de baixa potência. Portanto, deve ser realizada uma análise da potência dissipada nos circuitos projetados. Adicionalmente, existe uma tensão de limiar, por parte dos transistores da tecnologia de integração que deve ser superada para que estes operem corretamente.

### 2.3.1 Consumo de potência nos dispositivos CMOS

A carga do sistema, composta por lógica digital, tem a potência dissipada instantânea como uma das principais restrições. Ela é definida como:

$$P(t) = I(t) * V(t), \quad (2.6)$$

em que  $I(t)$  é a corrente suprida à carga e  $V(t)$  corresponde à tensão na carga. Esse valor de potência permite dimensionar as trilhas de metal do leiaute.

Ao longo de um intervalo de tempo  $T$  definido, a potência dissipada

instantânea tem um valor médio definido como:

$$P_{\text{m\u00e9dia}} = \frac{1}{T} \int_0^T P(t) dt = \frac{V_{DC}}{T} \int_0^T i_{\text{alimenta\u00e7\u00e3o}}(t) dt, \quad (2.7)$$

em que  $i_{\text{alimenta\u00e7\u00e3o}}$  \u00e9 a corrente instant\u00e2nea do bloco no intervalo de tempo definido.

Esta pot\u00eancia \u00e9, por sua vez, decomposta em duas componentes, que s\u00e3o a pot\u00eancia est\u00e1tica e a pot\u00eancia din\u00e2mica. A pot\u00eancia est\u00e1tica \u00e9 definida como:

$$P_{\text{est\u00e1tica}} = I_{\text{est\u00e1tica}} V_{DC}, \quad (2.8)$$

em que  $I_{\text{est\u00e1tica}}$  \u00e9 a corrente m\u00e9dia na carga. A pot\u00eancia din\u00e2mica \u00e9 definida como:

$$P_{\text{din\u00e2mica}} = C_L V_{DC}^2 f, \quad (2.9)$$

em que  $C_L$  e  $f$  s\u00e3o a capacit\u00e2ncia e a frequ\u00eancia de chaveamento, respectivamente (NEIL WESTE; HARRIS, 2011).

### 2.3.2 Tens\u00f5es de limiar dos transistores Pmos e Nmos da tecnologia.

O processo de extra\u00e7\u00e3o dos par\u00e2metros da tecnologia permite aos projetistas de circuitos integrados obter informa\u00e7\u00f5es necess\u00e1rias para desenvolver os blocos do sistema. V\u00e1rias metodologias de extra\u00e7\u00e3o de par\u00e2metros foram desenvolvidas para caracterizar os transistores Nmos e Pmos da tecnologia (SCHNEIDER; GALUP-MONTORO., 2010), (DALTON COLOMBO, 2011), (STEFANOVIC; KAYAL, 2008) e (MATTHIAS BUCHER; ENZ, 1996). Para este projeto, foi levada em considera\u00e7\u00e3o unicamente a tens\u00e3o de limiar  $V_{T0}$  conforme definida em (SCHNEIDER; GALUP-MONTORO., 2010); seus valores s\u00e3o apresentados na Tabela 3 para a tecnologia GF180nm.

Tabela 3: M\u00f3dulo das tens\u00f5es de limiar dos transistores tipo Pmos e tipo Nmos

Transistor	Tens\u00e3o de limiar [V]
Pmos	0,388 V
Nmos	0,322 V

A metodologia completa para a obten\u00e7\u00e3o dos par\u00e2metros \u00e9 apresentada no Ap\u00eandice C.

### 3 PROJETO DO SISTEMA DESENVOLVIDO

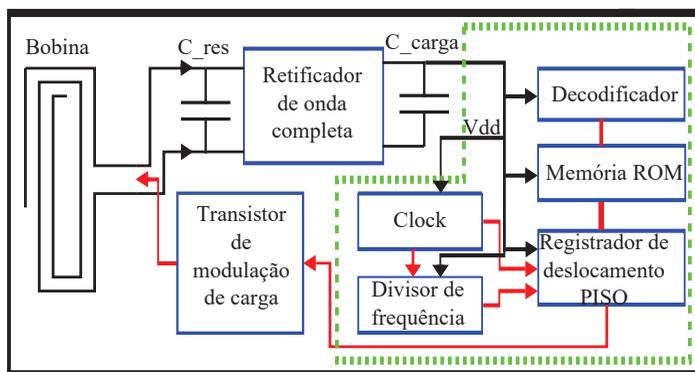
Após definição da estrutura do sistema proposto, é necessário um detalhamento de cada um dos blocos do projeto a partir das especificações definidas na Tabela 4: tensão de alimentação constante na carga, potência média na carga, frequência do sinal da portadora e frequência do sinal modulante. Esse capítulo apresenta, o projeto no nível de simulação, tanto dos blocos individuais da etiqueta (Bobina, Capacitância de ressonância, Retificador de onda completa, Capacitância da Carga, Carga e Transistor de modulação da carga) como funcionando em conjunto. Adicionalmente, no final do capítulo mostra-se o projeto da bobina do leitor, junto com a obtenção do ganho de tensão entre o leitor e a etiqueta.

Tabela 4: Especificações do sistema.

Especificação	Valor desejado
Tensão de alimentação da carga	1 V
Máxima potência média na carga	$3 \mu\text{W}$
Potência média nominal na carga	$1 \mu\text{W}$
Frequência do sinal da portadora	1,04 GHz
Frequência do sinal modulante	1 MHz

O diagrama de blocos da etiqueta proposto é apresentado na Figura 9.

Figura 9: Diagrama de sub-blocos da etiqueta.



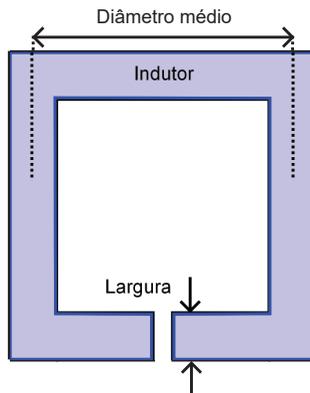
O retificador de onda e o capacitor de carga retificam e filtram, respec-

tivamente, a tensão induzida pelo fluxo magnético na bobina. Quando a carga for alimentada por uma tensão constante, os bits selecionados na memória são enviados para um bloco que transforma os bits de paralelo a serial. Para tal funcionalidade, geralmente é utilizado um registrador de deslocamento PISO. Este é um circuito sequencial que requer sinais de controle para captar e deslocar a informação. Esses sinais vêm dos sub-blocos *clock* e Divisor de frequência. Finalmente, para conseguir realizar a modulação de carga, uma chave é instalada entre os terminais da bobina do *front-end* de RF para, assim, transmitir a informação de volta para o leitor. Na Figura 9 as trilhas de alimentação dos blocos estão em preto; as interconexões em vermelho são bits ou seqüências de bits de informação.

### 3.1 INDUTOR PROJETADO PARA 1,04 GHz

A tecnologia usada no projeto do sistema é CMOS 180 nm da GlobalFoundries. A área de silício disponível para o projeto é de  $1470 \mu\text{m} \times 1470 \mu\text{m}$ . Portanto, as dimensões do indutor devem ser as mais próximas às máximas dimensões permitidas, para aproveitar, ao máximo, a área fornecida pelo fabricante. Como não há um indutor no kit de fabricação com essas dimensões, projetou-se o indutor manualmente. Uma análise aprofundada sobre a influência do número de espiras, a largura da trilha e as dimensões do indutor no fator de qualidade na frequência de 1,04 GHz é realizada em (CABRERA; SOUSA, 2016). A partir dos resultados obtidos nessa referência, foi definido um indutor de uma espira, com uma largura da trilha de  $250 \mu\text{m}$  e um diâmetro médio de  $1210 \mu\text{m}$ (Figura 10).

Figura 10: Geometria do indutor integrado.



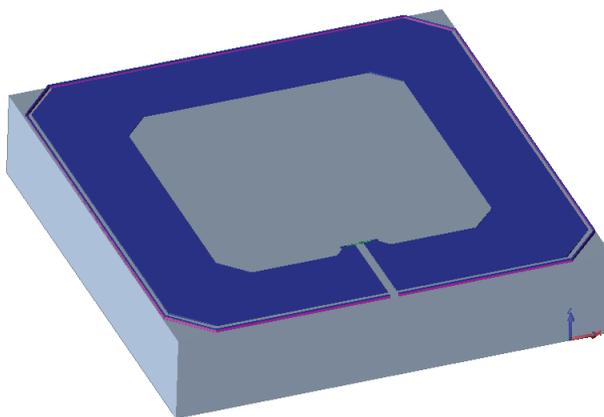
### 3.1.1 Modelagem do indutor

Uma vez definida a área máxima do indutor, é necessário modelá-lo para identificar seu valor e os valores dos componentes parasitas e, assim, incluí-lo na simulação completa do sistema. Como o indutor definido não possui um modelo esquemático na ferramenta de simulação de circuitos integrados Cadence Virtuoso, tanto o leiaute, como o substrato da tecnologia CMOS 180 nm da GlobalFoundries foram importados para a ferramenta de simulação eletromagnética EMPro da Keysight<sup>®</sup>.

### 3.1.2 Simulação do indutor na ferramenta EMPro

A tecnologia usada possui seis camadas de metais com diferentes características. No entanto, optou-se por projetar o indutor na camada mais alta do substrato (camada AM) devido à baixa resistividade (maximiza o fator de qualidade) como também, para reduzir o valor dos capacitores parasitas entre as camadas dos metais e o substrato. O indutor importado na ferramenta EMPro é apresentado na Figura 11 com o substrato.

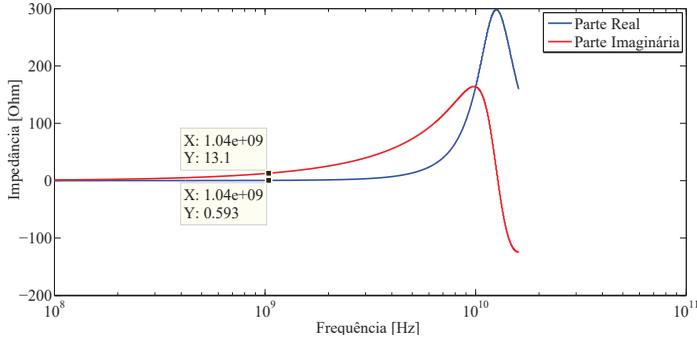
Figura 11: Indutor desenhado na ferramenta de simulação eletromagnética EMPro da Keysight<sup>®</sup>.



Para caracterizar o indutor, foram extraídas tanto a parte real como a parte imaginária da sua impedância na frequência desejada. O resultado da simulação é exposto na Figura 12. Os valores da parte real e da parte

imaginária na frequência de 1,04 GHz são aproximadamente 0,593  $\Omega$  e 13,1  $\Omega$ , respectivamente.

Figura 12: Parte real e parte imaginária da impedância do indutor variando a frequência.



O valor da indutância é obtido a partir da Equação 3.1.

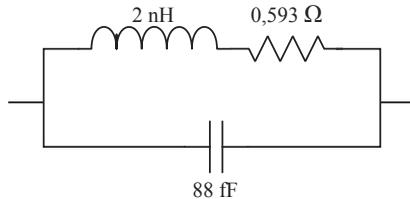
$$L = \frac{X_L}{2\pi f} = \frac{13,1}{2\pi * 1,04 \times 10^9} \approx 2 \text{ nH}. \quad (3.1)$$

A partir da Figura 12, é possível obter o valor do capacitor parasita responsável pela auto-ressonância (frequência em que a parte imaginária da impedância é nula) do indutor.

$$C_{auto} = \frac{1}{\omega^2 L} \rightarrow \frac{1}{(2\pi * 1,04 \times 10^9)^2 * 2 \times 10^{-9}} \approx 88 \text{ fF}. \quad (3.2)$$

O modelo extraído, composto por um indutor e uma resistência série em paralelo com um capacitor, é apresentado na Figura 13.

Figura 13: Modelo do indutor após simulação eletromagnética.



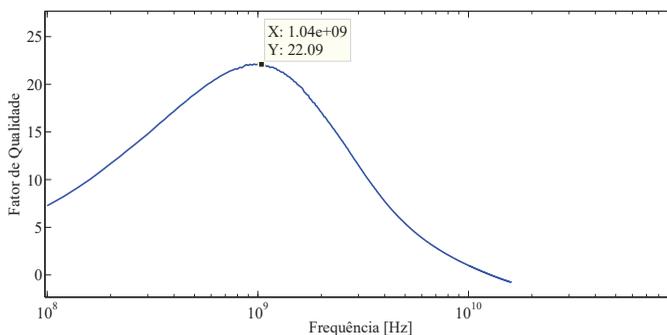
Finalmente, o fator de qualidade do indutor (Q) é definido na Equação

3.3 e é possível observar sua variação com a frequência na Figura 14.

$$Q = \frac{X_L}{R_L}, \quad (3.3)$$

em que  $X_L$  e  $R_L$  correspondem às partes imaginária e real da impedância do indutor, respectivamente.

Figura 14: Fator de qualidade em função da frequência.



O valor do fator de qualidade na frequência de 1,04 GHz é 22,09, que corresponde ao valor máximo para o indutor projetado.

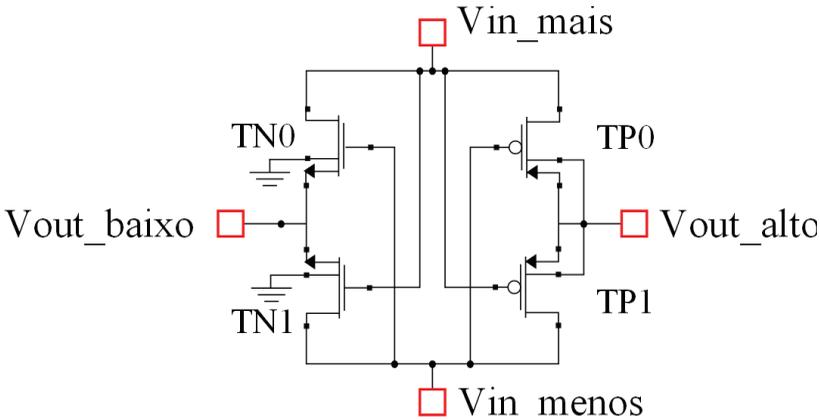
Uma vez determinado o modelo do indutor, torna-se possível incluí-lo no ambiente de simulação Cadence Virtuoso para realizar a simulação completa do sistema.

### 3.2 RETIFICADOR DE TENSÃO

O retificador de tensão deve extrair a maior quantidade possível de potência DC da onda eletromagnética incidente. No caso dos projetos de circuitos integrados de baixa potência, esse processo é crítico devido aos baixos níveis de potência que se encontram na entrada, tornando mandatória a utilização de topologias de alta eficiência. Em (MANDAL; SARPESHKAR, 2007), foi definida uma topologia de um retificador de onda completa para aplicações de RFID com níveis de potência baixos na entrada. A Figura 15 mostra o esquemático da célula unitária que compõe esse retificador de tensão.

Supondo os valores de tensão nos pinos  $V_{in\_mais}$  e  $V_{in\_menos}$  suficientes para ligar todos os transistores da célula unitária e definindo esses dois

Figura 15: Célula unitária do retificador de tensão.

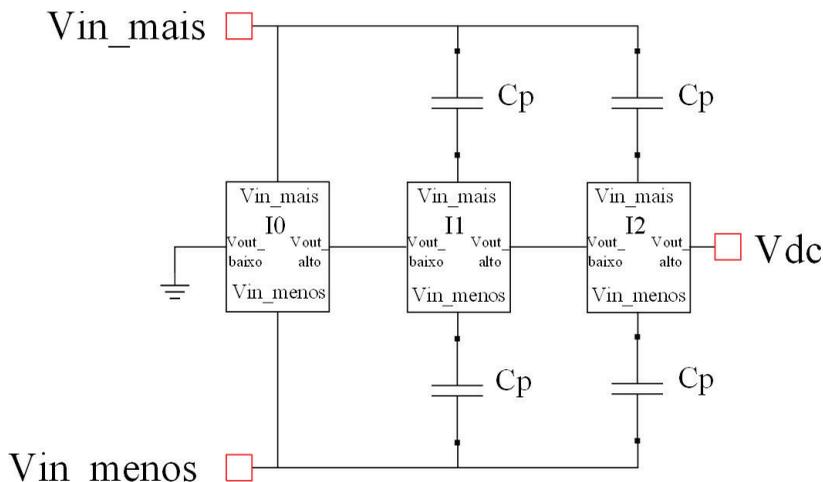


valores como complementares (sinal diferencial na entrada), quando  $V_{in\_mais}$  tem um valor de tensão alto, os transistores TP0 e TN1 estão ligados e os transistores TP1 e TN0 se encontram desativados. Nesse caso, uma corrente, chamada corrente direta, flui de  $V_{in\_mais}$  para  $V_{out\_alto}$ , atravessando o transistor TP0; outra corrente flui de  $V_{out\_baixo}$  para  $V_{in\_menos}$  pelo transistor TN1, gerando uma tensão retificada tomada diferencialmente como  $V_{out\_alto} - V_{out\_baixo}$  com valor  $2V_{in}$ , em que  $V_{in}$  é a amplitude do sinal de entrada. No entanto, existem umas quedas de tensão nos transistores Pmos e Nmos ( $V_{dropPmos}$  e  $V_{dropNmos}$ , respectivamente) e, que, diminuem o valor de tensão na saída para  $2V_{in} - V_{dropPmos} - V_{dropNmos}$ . No ciclo oposto, quando o valor de tensão alto encontra-se em  $V_{in\_menos}$ , apenas os transistores TP1 e TN0 estão ligados. Nesse caso, uma corrente direta flui de  $V_{out\_baixo}$  para  $V_{in\_mais}$  pelo transistor TN0 e outra corrente passa pelo transistor TP1 no sentido  $V_{in\_menos}$  para  $V_{out\_alto}$ . Do mesmo jeito, obtém-se a mesma tensão retificada  $2V_{in} - V_{dropPmos} - V_{dropNmos}$ . É importante esclarecer que os transistores que se encontram desativados possuem uma corrente de perdas, chamada de corrente reversa, que deve ser reduzida ao máximo.

Contudo, para este projeto, o nível de tensão desejado na saída do retificador (1 V) não pode ser atingido com apenas uma célula unitária, exigindo o cascadeamento de mais estágios. A Figura 16 mostra o esquemático final do retificador de tensão proposto, observando-se as entradas  $V_{in\_mais}$  e  $V_{in\_menos}$  da segunda e terceira células unitárias em paralelo, alimentadas por capacitores de acoplamento  $C_p$  que filtram unicamente a componente AC do sinal na entrada.

Portanto, o sinal de saída de um estágio torna-se a referência do

Figura 16: Retificador de tensão de três estágios.



próximo estágio, permitindo aumentar o valor de tensão na saída. O valor DC teórico aproximado na saída da  $n$ ésima célula unitária em cascata é definido pela Equação 3.4.

$$V_{dc} = N(2V_{in} - V_{dropPmos} - V_{dropNmos}), \quad (3.4)$$

em que  $N$  corresponde ao número de estágios. No entanto, a proporção em que aumenta o nível de tensão na saída de cada estágio diminui à medida que o número de estágios aumenta devido ao efeito de corpo dos transistores Nmos.

Finalmente, analisando a razão de aspecto ( $\frac{W_t}{L_t}$ ), existe um compromisso entre as perdas por corrente direta e as perdas por corrente de condução reversa (transistor desativado). Quando  $\frac{W_t}{L_t}$  aumenta, tanto  $R_{off}$  como  $R_{on}$  diminuem. Não obstante, as perdas por condução reversa aumentam.

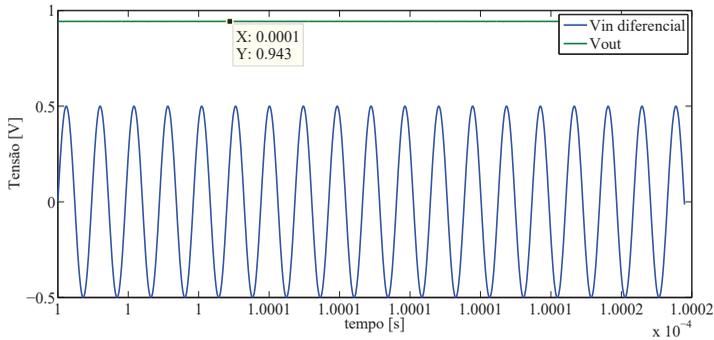
Quanto às dimensões dos transistores da célula unitária do retificador, todos os transistores tipo p e tipo n (TP0, TP1, TN0, TN1) possuem a dimensão  $48\mu\text{m}/0,18\mu\text{m}$ , pois esse valor maximiza a eficiência do retificador. As simulações realizadas para selecionar essas dimensões são apresentadas a seguir.

Como o objetivo principal do retificador de tensão é a conversão do sinal senoidal em uma tensão constante, é necessário identificar quanta energia se está gastando para tal transformação. A figura de mérito usada para avaliar a eficiência da conversão feita pelo retificador de tensão é a eficiência de conversão de energia (PCE), definida na Equação 2.3.

### 3.2.1 Simulações transientes

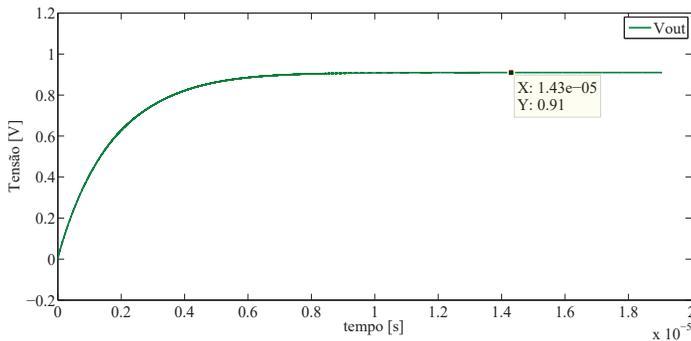
O valor esperado da tensão de saída é obtida a partir da Equação 3.4, onde  $V_{in}$  é igual a 0,5 V,  $N$  é 3 e a soma  $V_{dropPmos}$  e  $V_{dropNmos}$  vale 0,6 V. Portanto,  $V_{dc}$  vale aproximadamente 1,2 V. A Figura 17 apresenta a simulação transiente do retificador de onda completa.

Figura 17: Simulação transiente da entrada diferencial e da saída do retificador.



A partir da Figura 17, é possível identificar o sinal diferencial na entrada com amplitude de 1 V pico a pico ( $V_{in}$  diferencial), centrado em 0 V, e o nível DC na saída ( $V_{out}$ ) em aproximadamente 0,94 V. A Figura 18 apresenta a simulação transiente da saída do retificador incluindo as estruturas parasitas.

Figura 18: Simulação transiente da saída do retificador após extração dos elementos parasitos.

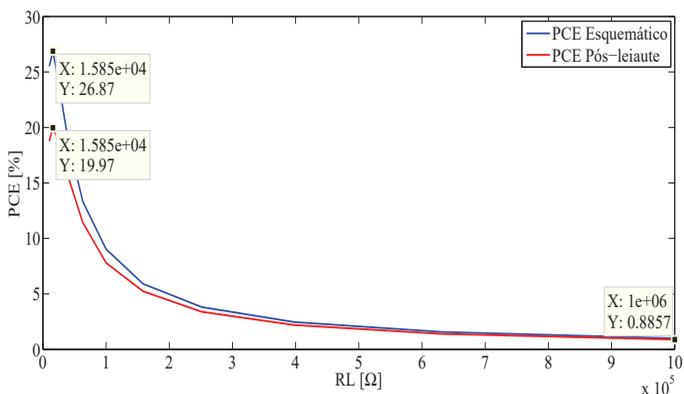


A Figura 18 mostra um nível DC de saída de 0,91 V, valor próximo ao esperado. Como é possível identificar, a inclusão das estruturas parasitas fez que a tensão DC na saída fosse menor que a obtida na simulação do esquemático.

### 3.2.2 PCE do retificador.

Para a PCE, os resultados de simulação do esquemático e pós-leiaute variando o valor da carga são mostrados na Figura 19.

Figura 19: PCE do retificador com a carga variando e mantendo a potência disponível na entrada em -5 dBm.



Identifica-se um valor máximo da PCE tanto na simulação do esquemático (26,87 %) como pós-leiaute (19,97 %) para um valor de carga de aproximadamente 16 k $\Omega$ . Para o valor da carga especificado para o projeto, o valor da PCE é 0,8857 %. No entanto, esse valor deve-se ao fato do retificador está dissipando a maioria da energia, pois a carga consome muito pouco (valor da carga especificado muito alto) em relação a energia transformada para atingir o nível DC de 1 V. Como foi possível observar, quando o consumo da carga aumenta ( resistência da carga menor), a eficiência do retificador aumenta, resultado que demonstra que há energia que não se está aproveitando para o valor da carga especificado. Logo, tem-se duas opções para aumentar a PCE do retificador de tensão. A primeira, é diminuir a tensão de limiar dos transistores, pois precisa-se de bastante energia para ativá-los; a segunda, é aumentar o consumo da carga, o que permitiria incrementar a versatilidade da etiqueta.

### 3.3 CAPACITÂNCIA DA CARGA

A capacitância da carga permite satisfazer a demanda de potência dinâmica consumida pela carga. Para determinar seu valor, precisam ser analisados os consumos de todos os blocos que compõem a carga. No apêndice B, encontram-se as tabelas dos diferentes *corners* (PVT) da carga. Foi escolhido o valor de potência dinâmica nominal de  $12 \mu\text{W}$  para obter o valor do capacitor; portanto, a corrente suprida à carga com a tensão de alimentação fixada em 1 V é  $12 \mu\text{A}$ .

Definindo uma variação da tensão de alimentação (ondulação) de 0,1 V, tem-se o valor de capacitância de carga a ser usado:

$$C_L = \frac{12 \times 10^{-6}}{2 \times 1 \times 10^6 \times 0,1} = 60 \text{ pF.} \quad (3.5)$$

### 3.4 CARGA DO SISTEMA

Primeiramente, é necessário indicar que esta seção apresenta o projeto da carga no nível de sistema. Uma análise detalhada dos sub-blocos e das suas características será apresentada no Capítulo 4.

A Figura 20 apresenta o esquemático da carga projetada. As sequências de bits a serem extraídas da memória ROM foram definidas na Tabela 5.

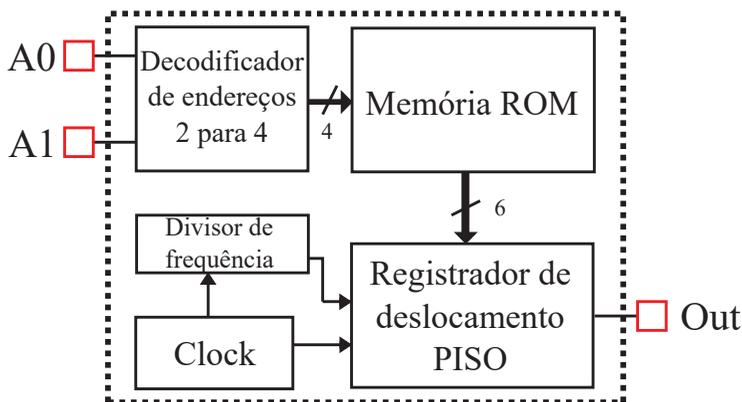
Tabela 5: Tabela com a as sequências de bits a partir do valor nas entradas.

Valor A1	Valor A0	Sequência de Bits
0	0	110101
0	1	110001
1	0	101111
1	1	101101

É importante que, para cada palavra extraída, o primeiro e o último bit correspondam aos bits de início e final do protocolo de comunicação série definido. O verdadeiro conteúdo da informação encontra-se entre o segundo e o quinto bit.

Na Figura 20, encontram-se o decodificador de endereços, a memória ROM, o registrador de deslocamento PISO, o divisor de frequência e o *clock*. Além dos sub-blocos, ilustram-se os pinos de seleção de endereço da ROM (A0 e A1) e o pino de saída com a informação da memória extraída serialmente (Out). Para validar e caracterizar o funcionamento da carga, foram definidos

Figura 20: Carga completa do protótipo.



os seguintes parâmetros:

- Potência média (estática)
- Potência de pico (dinâmica)
- Tempo de atraso (Tempo entre a mudança dos bits do decodificador passarem à combinação desejada e a transferência do último bit da informação na saída da carga).

### 3.4.1 Simulação transiente da carga

Na Figura 21, é possível identificar a simulação transiente do esquemático das diferentes sequências de bits de saída  $V_{out}$ , a partir da respectiva combinação dos sinais de endereço A0 e A1.

No sinal de saída  $V_{out}$ , é possível observar as sequências 101101, 101111, 110001 e 110101 destacadas em vermelho, verde, azul e preto respectivamente.

Adicionalmente, na Figura 22, apresenta-se a simulação transiente pós-leiaute das diferentes sequências de bits da saída  $V_{out}$ . Identificam-se, dentro das linhas pontilhadas, as mesmas sequências de informação projetadas, usando a mesma convenção de cores.

A Tabela 6 apresenta os resultados de simulação do esquemático e pós-leiaute dos parâmetros usados para caracterizar o funcionamento da carga.

Figura 21: Simulação transiente da saída da carga do sistema.

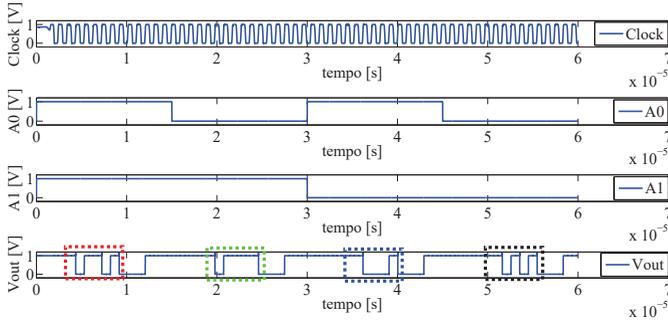


Figura 22: Simulação pós-leiaute transiente da saída da carga do sistema.

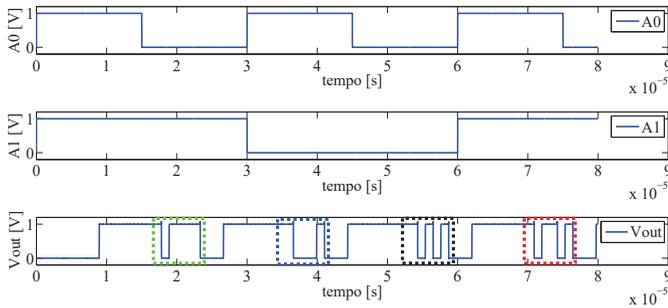


Tabela 6: Comparação entre as simulações do esquemático e pós-leiaute dos parâmetros da carga.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	1180	1376
Potência de pico (dinâmica) [nW]	11370	12000
Tempo de atraso [ $\mu$ s]	12,43	12,78

A partir dos resultados obtidos, observam-se valores maiores para as três figuras de mérito, no caso das simulações pós-leiaute, devido a inclusão das estruturas parasitas. Finalmente, é importante indicar que existe um consumo alto de potência pico na carga em instantes de tempo reduzidos, bastante inferiores à frequência do sinal de *clock*. Essa demanda é satisfeita pela energia armazenada no capacitor conectado em paralelo com a carga.

### 3.5 CASAMENTO DE IMPEDÂNCIA

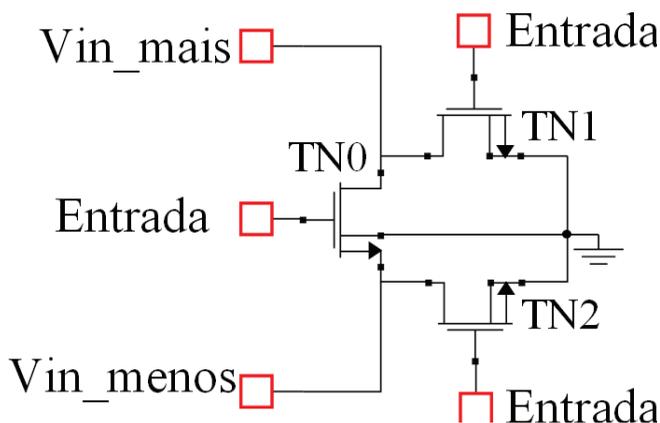
Os sistemas sem fio de baixa potência precisam ser projetados com a maior eficiência possível devido aos baixos níveis de energia captados por eles. O uso de redes de casamento de impedância entre a antena (neste caso o indutor integrado) e o retificador de tensão ajuda a atingir esse objetivo. Existem diferentes topologias de redes de casamento de impedância com indutores e capacitores.

Com o intuito de não degradar o fator de qualidade do indutor-antena, optou-se por descartar topologias de redes de casamento que utilizassem outro indutor integrado. Assim, usou-se um único capacitor na rede de casamento, como foi utilizado em (CABRERA; SOUSA, 2014).

### 3.6 MODULAÇÃO DE CARGA

Como foi indicado no Capítulo 2, a modulação *ASK* é realizada a partir da mudança do coeficiente de reflexão da etiqueta. Essa mudança acontece devido à abertura (desativada) ou fechamento (ativada) da chave, que é composta por um transistor. A Figura 23 mostra o esquemático da chave usado para modular a informação da carga. Nesse projeto, existem dois níveis

Figura 23: Chave para modular a informação.



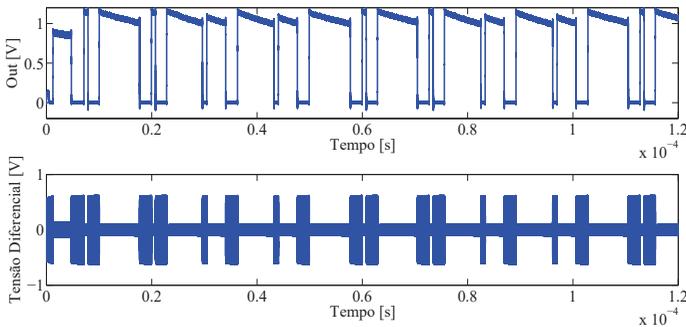
claramente diferenciados de tensão para modular a informação através da porta do transistor TN0 que correspondem ao nível baixo (gnd) e ao nível alto ( $V_{DC}$ ). Deseja-se maximizar a diferença entre os coeficientes de reflexão associados

aos níveis de tensão de  $V_{DC}$  e de  $gnd$ , como é apresentado na Equação 3.6 (AGGELOS BLETSAS; SAHALOS, 2010).

$$\max(\Gamma_{V_{DC}} - \Gamma_{gnd}). \quad (3.6)$$

As larguras de todos os transistores foram projetadas para manter uma relação de amplitudes *ativado-desativado* maior que 5, suficiente para diferenciar os dois níveis de tensão e, portanto, os dois coeficiente de reflexão. Além disso, o comprimento de cada um dos transistores foi mantido no valor mínimo para diminuir a sua resistência quando o transistor que modula está ligado. A Figura 24 apresenta a simulação transiente da informação e a tensão diferencial na bobina.

Figura 24: Simulação transiente da sequência de bits junto com a tensão diferencial na bobina.



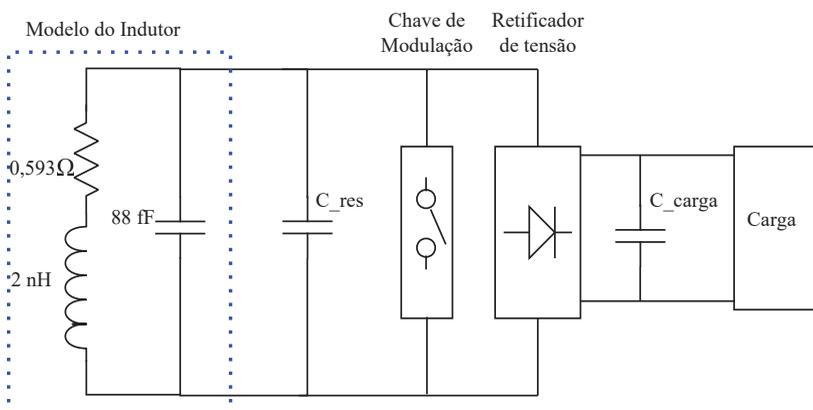
A partir da Figura 24, é possível identificar a saída Out com a sequência de bits da informação (acima) e a tensão diferencial na bobina (abaixo). Quando o valor da saída Out se encontra no nível lógico alto, a tensão diferencial na bobina é praticamente zero (não é exatamente zero devido à existência de uma resistência de dreno para fonte nos transistores TN1 e TN2). No caso do nível lógico baixo na porta do transistor TN0, a tensão diferencial na bobina toma o valor 0,5 V, que corresponde ao valor de tensão inserido pela fonte na entrada da etiqueta (em série com a bobina). Logo, essas variações da tensão diferencial da bobina modificam a impedância de entrada da etiqueta, permitindo a transmissão da informação para o leitor.

O transistor TN0 possui uma razão de aspecto de  $5 \mu\text{m}/0,18 \mu\text{m}$ , os transistores TN1 e TN2 possuem  $1 \mu\text{m}/0,18 \mu\text{m}$  como razão de aspecto.

### 3.7 ETIQUETA INTEGRADA

O circuito completo foi projetado e simulado tanto no nível de esquemático como no nível de pós-leiaute na tecnologia GF180nm. Seguem os resultados obtidos na ferramenta de simulação Cadence-Virtuoso. A Figura 25 apresenta todos os blocos que compõem a etiqueta juntamente com o modelo do indutor obtido.

Figura 25: Componentes da etiqueta junto com o modelo do indutor.



#### 3.7.1 Simulação transiente

Na Figura 26, observa-se a simulação do esquemático do sinal de saída  $V_{out}$  e as sequências de informação 101101, 101111, 110001 e 110101, enquadradas em vermelho, verde, azul e preto, respectivamente. Na Figura 27, são apresentados os resultados pós-leiaute para as quatro combinações de bits possíveis das entradas, mantendo o padrão das cores. É possível identificar as quatro sequências de bits esperadas.

### 3.8 MODELAGEM DO ACOPLAMENTO INDUTIVO

A topologia do acoplamento indutivo usada no projeto é apresentada na Figura 28, na qual são mostrados os circuitos tanques do leitor ( $C1$  e  $L1$  em série) e da etiqueta ( $C2$  e  $L2$  em paralelo), as respectivas resistências parasitas

Figura 26: Simulação transiente da saída do sistema completo.

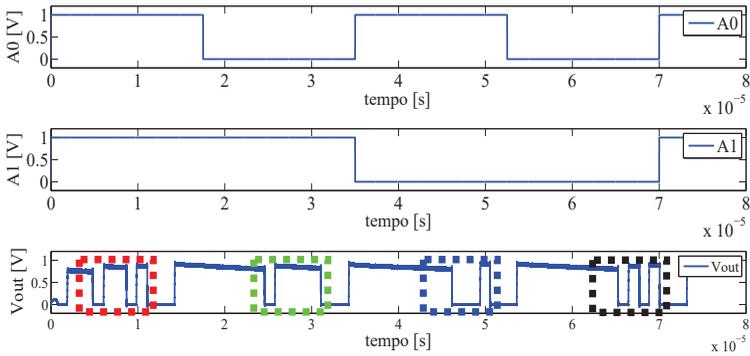
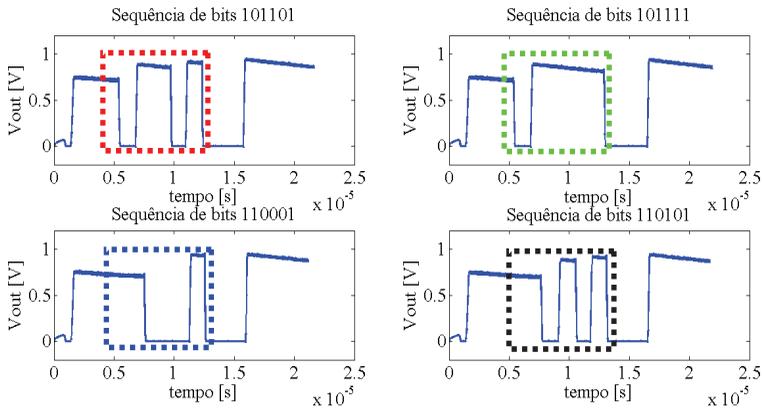


Figura 27: Simulação pós-leiaute transiente da saída do sistema completo.



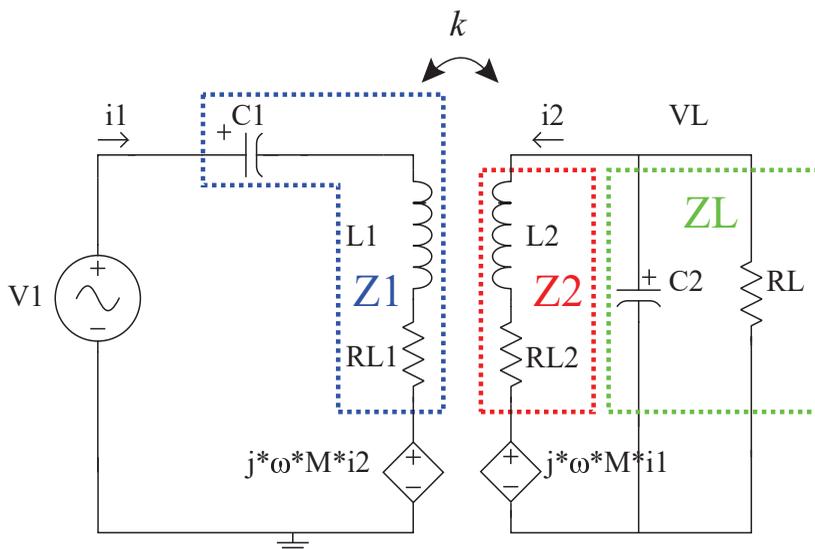
( $R_{L1}$  e  $R_{L2}$ ), a carga ( $Z_L$ ) e a influência da indutância mútua em ambos os lados do acoplamento ( $j\omega M \cdot i_2$  e  $j\omega M \cdot i_1$ ).

A expressão para o ganho de tensão é dada pela Equação 3.7.

$$\frac{V_L}{V_1} = \frac{1}{\left[ \frac{1}{j\omega M} \left( \left( \left( \frac{R_L}{Z_{c2}} - 1 \right) (Z_2 - Z_{c2}) - Z_{c2} \right) (Z_1) \right) + j\omega M \left( 1 - \frac{R_L}{Z_{c2}} \right) \right] \frac{1}{R_L}}, \quad (3.7)$$

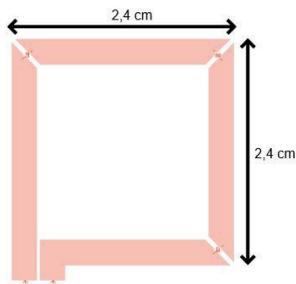
A análise matemática completa para obter o ganho de tensão é apresentada no Apêndice E.1. A bobina do primário usada corresponde a uma bobina

Figura 28: Modelagem do acoplamento indutivo com os componentes, as estruturas parasitas e a indutância mutua.



segmentada (CABRERA; SOUSA, 2015), com capacitores de 1,5 pF, que tem como principal característica, ampliar a faixa de frequências onde o indutor ainda tem um comportamento indutivo; como é bem sabido, o comportamento capacitivo no indutor é dominante em altas frequências. O leiaute da bobina do primário com as respectivas dimensões é apresentado na Figura 29.

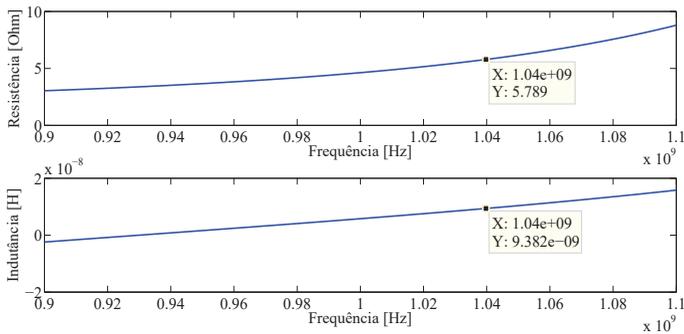
Figura 29: Leiaute da bobina do leitor.



Para obter o valor exato do indutor e a resistência equivalente, foi realizada a simulação eletromagnética na ferramenta EMPro da Keysight<sup>®</sup>.

O material do substrato usado para simular a bobina foi a fibra de vidro (FR-4), com uma permissividade relativa de 4,5 e uma espessura do substrato e da trilha de cobre de 1,6 mm e 35  $\mu\text{m}$ , respectivamente. Adicionalmente, o indutor foi projetado para apresentar uma impedância na entrada de 50  $\Omega$  quando a etiqueta é posicionada acima dele, permitindo um casamento de impedância com o gerador de sinais. As simulações da resistência equivalente (acima) e da indutância (abaixo) do indutor, variando a frequência, são apresentadas na Figura 30.

Figura 30: Simulações da resistência e da indutância da bobina variando a frequência.



A partir dos resultados obtidos, observam-se, na frequência de 1,04 GHz, valores aproximados da indutância e da resistência série equivalente de 9,38 nH e de 5,79  $\Omega$ , respectivamente.

Finalmente, foi realizada a simulação do ganho de tensão do acoplamento indutivo. Para isso, foram atribuídos valores aos parâmetros do acoplamento que são apresentados na Tabela 7.

Como existe uma diferença grande nos tamanhos dos dois indutores e lembrando que o fator de acoplamento mede a porcentagem de linhas do fluxo magnético da bobina do primário que atravessam a bobina do secundário, usou-se um baixo valor do fator de acoplamento ( $k=0,1$ ). Adicionalmente, o valor da carga  $R_L$  foi obtido a partir da potência disponível na entrada das simulações previamente apresentadas do retificador de onda completa. Nas simulações, usou-se uma fonte de potência de -5 dBm com uma amplitude de 500 mV. Portanto, o valor da resistência equivalente da etiqueta é apresentado na Equação 3.8. Usando o valor eficaz da tensão de pico na entrada e a potência

Tabela 7: Valores atribuídos aos parâmetros do acoplamento indutivo.

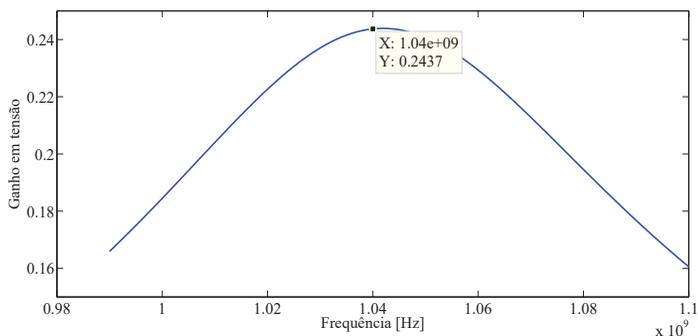
Parâmetro	Valor
$L_1$	9,38 nH
$L_2$	2 nH
$C_1$	2,5 pF
$C_2$	11,7 pF
$R_{L1}$	5,79 $\Omega$
$R_{L2}$	0,593 $\Omega$
$R_L$	396 $\Omega$
k	0,1

em Watts, tem-se:

$$R_L = \frac{V^2}{P} = \frac{0,353^2}{316 \times 10^{-6}} \approx 396 \Omega. \quad (3.8)$$

O resultado da simulação do ganho de tensão é apresentado na Figura 31.

Figura 31: Ganho de tensão variando a frequência.



É possível identificar que o ganho de tensão é maximizado na frequência esperada de 1,04 GHz. O valor do ganho de tensão simulado é 0,2437.



## 4 FLUXO DE PROJETO DA CARGA

Esse capítulo também apresenta no nível de simulação os blocos que compõem a carga (Memória ROM, Decodificador de endereços de 2 para 4, Oscilador controlado por tensão, Registrador de deslocamento PISO e Divisor de frequência) para a tecnologia GF180nm. Adicionalmente, é apresentado também no nível de simulação o projeto da carga usando a tecnologia XFAB600nm, já que, houve a possibilidade de fabrica-lo em uma rodada prévia à rodada de fabricação na tecnologia GF180nm.

Como definido no capítulo anterior, a carga foi o sub-bloco com a maioria das especificações a serem atingidas. Seguem as especificações da carga.

- Tensão de alimentação da carga de 1 V.
- Máxima potência média na carga de  $3 \mu W$ .
- Potência média nominal na carga de  $1 \mu W$ .
- Frequência do sinal modulante de 1 MHz.

Para garantir o baixo consumo de potência dos sub-blocos, foi usada a largura mínima de ambos os tipos de transistores ( $220 \mu m$ ), assim como comprimentos grandes. No entanto, é importante indicar que existe um compromisso entre a redução da potência, a velocidade de resposta e a área ocupada pelo transistor. Não é desejável portanto, comprimentos muito grandes. Assim, um estudo mais aprofundado dos sub-blocos da carga foi desenvolvido e é apresentado a seguir.

### 4.1 MEMÓRIA ROM

Entre as diferentes topologias existentes para memórias ROM, dois tipos de configurações foram consideradas. A primeira é chamada de MOS NOR ROM, a segunda, é conhecida como MOS NAND ROM (JAN M. RA-BAEY; NIKOLIC, 2003). Dependendo do tipo de aplicação, é possível dar preferência a uma das duas. A MOS NOR ROM possui um desempenho melhor que a tipo NAND, mas a segunda tem dimensões menores, já que ela tem um número menor de transistores. No entanto, esta última precisa de um processo químico adicional (*Threshold Lowering Implant*) que não está disponível no processo de fabricação do projeto.

A Figura 32 mostra o esquemático da memória NOR ROM proposto, que é composta de quatro filas de transistores Nmos, contendo a informação

das quatro palavras de seis bits definidas. Além dos pinos de alimentação, a memória ROM possui quatro entradas correspondentes às filas de seleção dos endereços (fila0, fila1, fila2, fila3) e seis colunas correspondentes às saídas (B.begin, D3, D2, D1, D0 e B.end). Quando um transistor é ativado (nível lógico alto na porta), imediatamente é transmitido um nível lógico baixo na saída. Portanto, deve ser colocado um inversor na saída de cada uma das colunas da memória, pois a memória funciona a partir da lógica digital inversa da desejada. Transistores tipo p (*weak pull-up*) são colocados entre a tensão de alimentação e os transistores tipo n, com o objetivo de inserir rapidamente níveis lógicos altos de tensão nas saídas quando o transistor Nmos não está ativado.

Ao transmitir um nível lógico baixo para a saída, tanto o Pmos como o Nmos estão ativados. Portanto, o consumo de potência estática do bloco aumenta (DAVID MONEY HARRIS, 2013). Isso é corroborado pelas tabelas apresentadas no Apêndice B. Portanto, a memória deve ser cuidadosamente projetada para evitar um consumo elevado de potência estática. Como foi indicado previamente, as quatro palavras de seis bits, segundo a fila ativada, são:

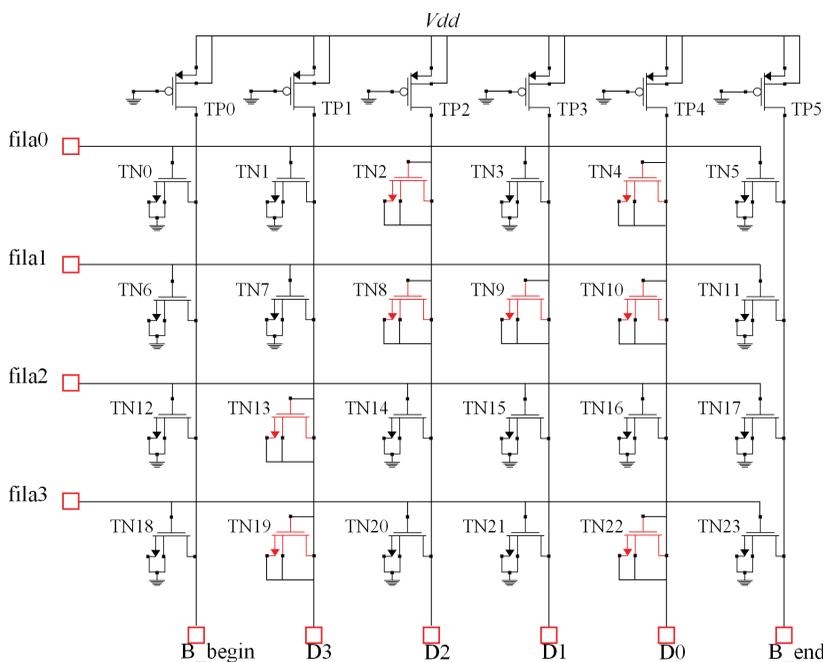
- fila0 ativada: 110101
- fila1 ativada: 110001
- fila2 ativada: 101111
- fila3 ativada: 101101

A Figura 32 apresenta a topologia escolhida, onde foram inseridos transistores dummy (em vermelho) como técnica de leiaute para evitar variações devido ao processo de fabricação. A largura e o comprimento dos transistores *dummy* são idênticos aos dos transistores das células de memória para manter a simetria do leiaute. Todos os transistores tipo p (TP0 → TP5) e todos os transistores tipo n (TN0 → TN23) são transistores convencionais do *kit* de fabricação e possuem a mesma razão de aspecto  $0,22 \mu\text{m}/2 \mu\text{m}$ .

Os parâmetros usados para validar o funcionamento da memória ROM foram:

- Potência média (estática).
- Potência de pico (dinâmica).
- Produto *potência-atraso*.
- Tempo de propagação de baixo para alto.

Figura 32: Memória ROM.



#### 4.1.1 Simulação transiente

A Figura 33 mostra os resultados de simulação transiente do esquemático da memória ROM proposto. No primeiro gráfico, são apresentados os pulsos de tensão em cada uma das entradas do circuito. Nos seis gráficos seguintes (B\_begin-B\_finish), são apresentadas as saídas da memória. O funcionamento correto do circuito pode ser facilmente observado associando-se o pulso de tensão na entrada com a informação correspondente nesse mesmo período de tempo nas saídas. Por exemplo, o pulso para ativar a fila\_3 acontece entre os tempos  $3 \mu\text{s}$  e  $6 \mu\text{s}$ , a seqüência de bits associada a esse período de tempo nas seis saídas é (110101), como desejado. Realizando a mesma análise para os pulsos nas outras filas de entrada, observam-se os bits de informação esperados. A Figura 34 mostra os resultados de simulação do circuito após extração das estruturas parasitas da memória ROM proposta. Baseando-se na mesma análise feita anteriormente, os resultados de simulação pós-leiaute obtidos são também os esperados.

Figura 33: Simulação transiente do esquemático das entradas e saídas da memória ROM.

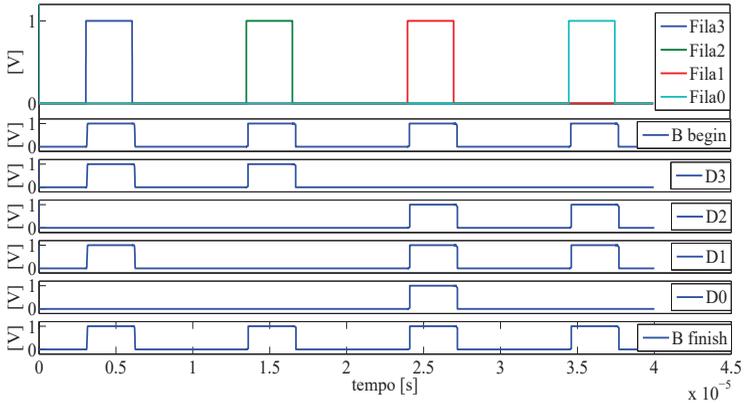
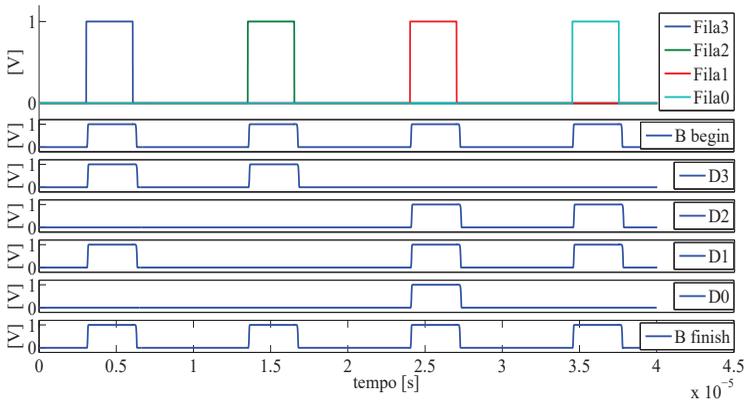


Figura 34: Simulação transiente das entradas e saídas da memória ROM após extração das estruturas parasitas.



A Tabela 8 apresenta os parâmetros característicos da memória ROM definidos previamente.

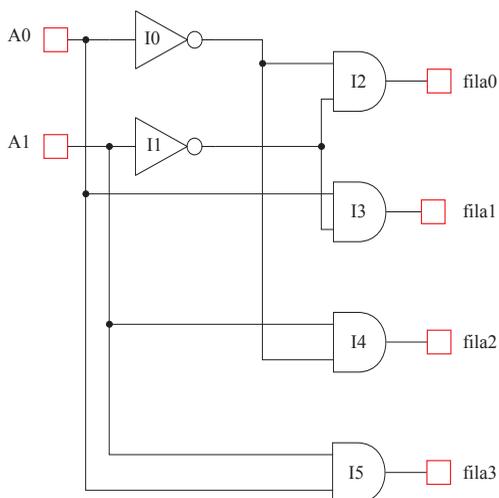
Tabela 8: Parâmetros da memória ROM.

Parâmetro	Valor obtido do esquemático	Valor obtido da extração das parasitas
Potência média (estática) [nW]	589,6	498,6
Potência de pico (dinâmica) [nW]	590,4	1655
Produto potência-atraso [J]	$41,9 \times 10^{-15}$	$45,94 \times 10^{-15}$
Tempo de propagação de baixo para alto [ns]	71,2	92,14

## 4.2 DECODIFICADOR DE DOIS PARA QUATRO ENDEREÇOS

O decodificador de endereços é um circuito que possui  $N$  entradas e  $2^N$  saídas, permitindo assim selecionar todas as saídas com um número menor de entradas. A Figura 35 mostra o esquemático do decodificador de dois para quatro endereços proposto. Ele é composto por quatro portas AND (I2, I3, I4 e I5) e dois inversores (I0 e I1). A combinação das duas entradas A1 e A0 permite selecionar uma das quatro saídas do circuito (fila0, fila1, fila2, fila3).

Figura 35: Esquemático do decodificador de dois para quatro endereços.



Todos os transistores tipo p e todos os transistores tipo n dos blocos (I0  $\rightarrow$  I5) possuem a mesma razão de aspecto  $0,22 \mu\text{m}/2\mu\text{m}$ .

Para caracterizar o funcionamento do decodificador, foram definidos os seguintes parâmetros de avaliação:

- Potência média (estática).
- Potência de pico (dinâmica).

- Produto *potência-atraso*.
- Tempo de *atraso*.

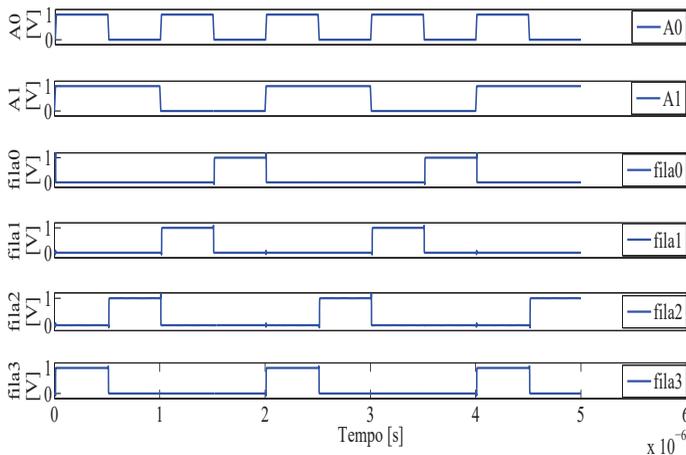
#### 4.2.1 Simulação transiente

Após serem definidas as dimensões dos transistores, obtêm-se os resultados de simulação transiente do esquemático na Figura 36. A Tabela 9 apresenta os diferentes valores obtidos nas saídas a partir das combinações dos valores das entradas.

Tabela 9: Diferentes combinações das entradas do decodificador e suas respectivas saídas.

A1	A0	fila0	fila1	fila2	fila3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Figura 36: Simulação transiente das entradas A0 e A1 e das saídas do decodificador.

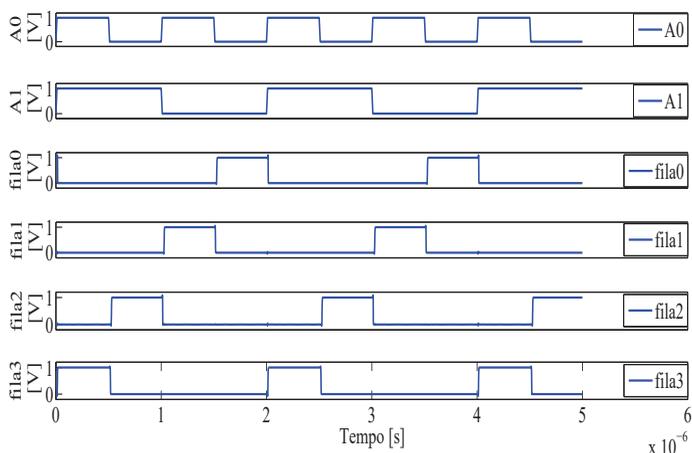


Na Figura 36, é possível identificar os valores de saída da fila0, fila1,

fila2 e fila3. Identifica-se uma única fila ativada a partir de uma única combinação das entradas.

A Figura 37 mostra os resultados de simulação pós-leiaute do decodificador proposto. Os resultados obtidos são os mesmos que os da Tabela 9. Portanto, é validado o funcionamento do circuito após extração das estruturas parasitas.

Figura 37: Simulação transiente das entradas A0 e A1 e das saídas do decodificador após extração das estruturas parasitas.



Finalmente, na Tabela 10 são apresentados os resultados dos parâmetros selecionados para caracterizar o desempenho do decodificador de endereços.

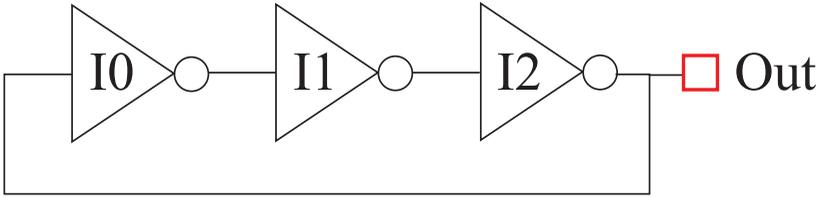
Tabela 10: Resultados dos parâmetros do decodificador de endereços.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	0,211	0,3043
Potência de pico (dinâmica) [nW]	3,59	3,91
Produto <i>potência-atraso</i> [J]	$10,4 \times 10^{-18}$	$16 \times 10^{-18}$
Tempo de <i>atraso</i> [ns]	49,4	52,7

#### 4.3 OSCILADOR COM FREQUÊNCIA DE 1 MHz

A Figura 38 mostra o diagrama do oscilador em anel proposto.

Figura 38: Diagrama do oscilador em anel.



Todos os transistores tipo p e todos os transistores tipo n dos blocos (I0 → I2) possuem a razão de aspecto  $0,22 \mu\text{m}/16 \mu\text{m}$ . Para validar o funcionamento do oscilador em anel, foram definidas as seguintes figuras de mérito.

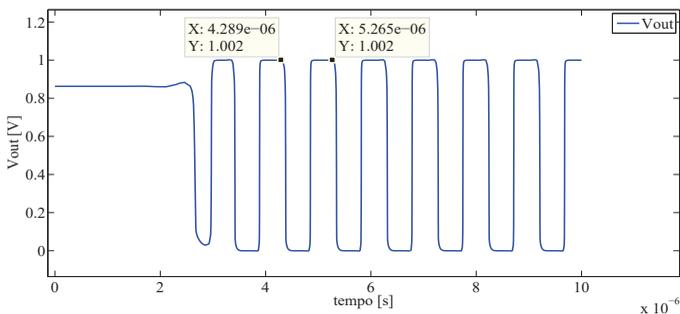
- Potência média (estática).
- Potência de pico (dinâmica).
- Variação da frequência com a tensão de alimentação.

Seguem os resultados de simulação tanto do esquemático como após extração das estruturas parasitas.

### 4.3.1 Simulação transiente

As Figuras 39 e 40 apresentam a saída do oscilador no estado transiente e a variação da frequência de saída com a tensão de alimentação para o esquemático, respectivamente.

Figura 39: Simulação transiente da saída do oscilador em anel.

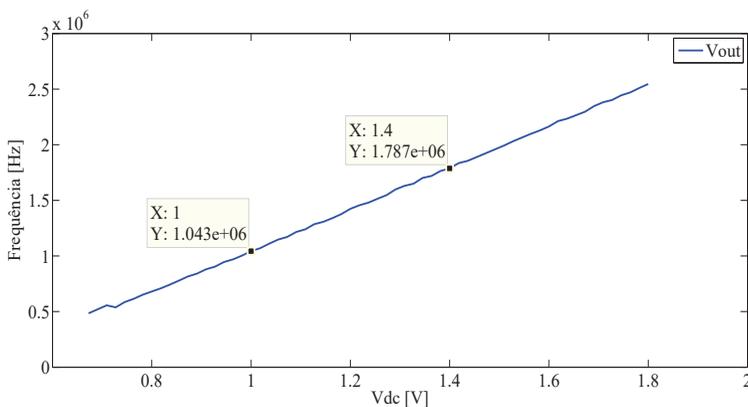


A frequência de saída da onda a partir dos pontos definidos na Figura 39 é:

$$f_{osc} = \frac{1}{5,265 \times 10^{-6} - 4,289 \times 10^{-6}} \approx 1,024 \text{ MHz}. \quad (4.1)$$

A frequência obtida é, portanto, a desejada. É possível observar que entre os tempos  $0 \mu\text{s}$  e  $2,5 \mu\text{s}$ , não há oscilação do sinal. Isso se deve ao ruído térmico dos inversores não ter sido suficientemente amplificado para definir os dois níveis lógicos e, assim, atingir a oscilação do sinal de saída.

Figura 40: Frequência do sinal de saída variando a tensão de alimentação.

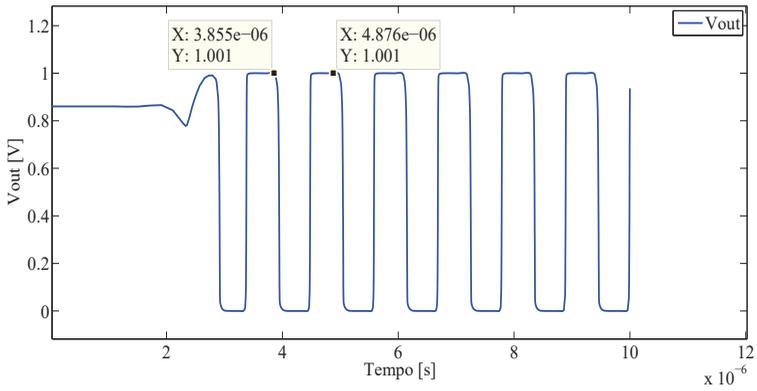


No caso da Figura 40, a sensibilidade da frequência com a tensão de alimentação é obtida por meio da Equação 4.2.

$$v = \frac{1,787 \times 10^6 - 1,043 \times 10^6}{1,4 - 1} \approx 1,86 \frac{\text{MHz}}{\text{V}}. \quad (4.2)$$

Adicionalmente, nas Figuras 41 e 42 são apresentados os resultados de simulação pós-leiaute para a saída do oscilador no estado transiente e para a variação da frequência de saída com a tensão de alimentação, respectivamente.

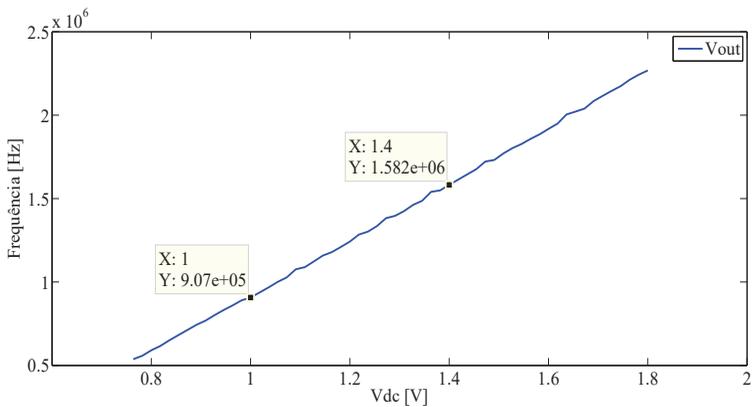
Figura 41: Simulação transiente da saída do oscilador em anel.



A frequência da onda de saída é obtida na Equação 4.3.

$$f_{osc} = \frac{1}{4,876 \times 10^{-6} - 3,855 \times 10^{-6}} \approx 980 \text{ kHz.} \quad (4.3)$$

Figura 42: Frequência do sinal de saída variando a tensão de alimentação após extração das estruturas parasitas.



A sensibilidade obtida após extração das estruturas parasitas é determi-

nada na Equação 4.4.

$$v = \frac{1,582 \times 10^6 - 0,907 \times 10^6}{1,4 - 1} \approx 1,69 \frac{\text{MHz}}{\text{V}}. \quad (4.4)$$

É possível encontrar uma diferença entre os resultados de simulação do esquemático e de pós-leiaute devido justamente a influência das parasitas no circuito.

Finalmente, na Tabela 11 são apresentados os resultados dos parâmetros definidos inicialmente para avaliar o funcionamento do oscilador em anel.

Tabela 11: Parâmetros do oscilador em anel.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das estruturas parasitas
Potência média (estática) [nW]	153,1	244,4
Potência de pico (dinâmica) [nW]	304	280,5
Variação da frequência com a tensão	$1,86 \frac{\text{MHz}}{\text{V}}$	$1,69 \frac{\text{MHz}}{\text{V}}$

#### 4.4 REGISTRADOR DE DESLOCAMENTO *PARALLEL INPUT-SERIAL OUTPUT* (PISO)

A Figura 43 mostra o esquemático do registrador de deslocamento PISO proposto. As topologias usadas nas portas inversor, AND e OR e nos Flip-Flops são detalhadas no Apêndice D.

Todos os transistores tipo p e tipo n dos blocos (I0 → I22) possuem a mesma razão de aspecto  $0,22 \mu\text{m}/2 \mu\text{m}$ .

Para ilustrar o funcionamento do circuito, será realizada uma descrição mais detalhada do processamento dos três últimos bits de informação (Bit\_finish, D0 e D1), presentes na Figura 44. Nessa figura, além das três entradas dos bits, têm-se as entradas *Shift*, *Load*, Clock e a saída Out. O diagrama de tempo dos três bits é apresentado na Figura 45.

Figura 43: Esquemático completo do registrador de deslocamento PISO

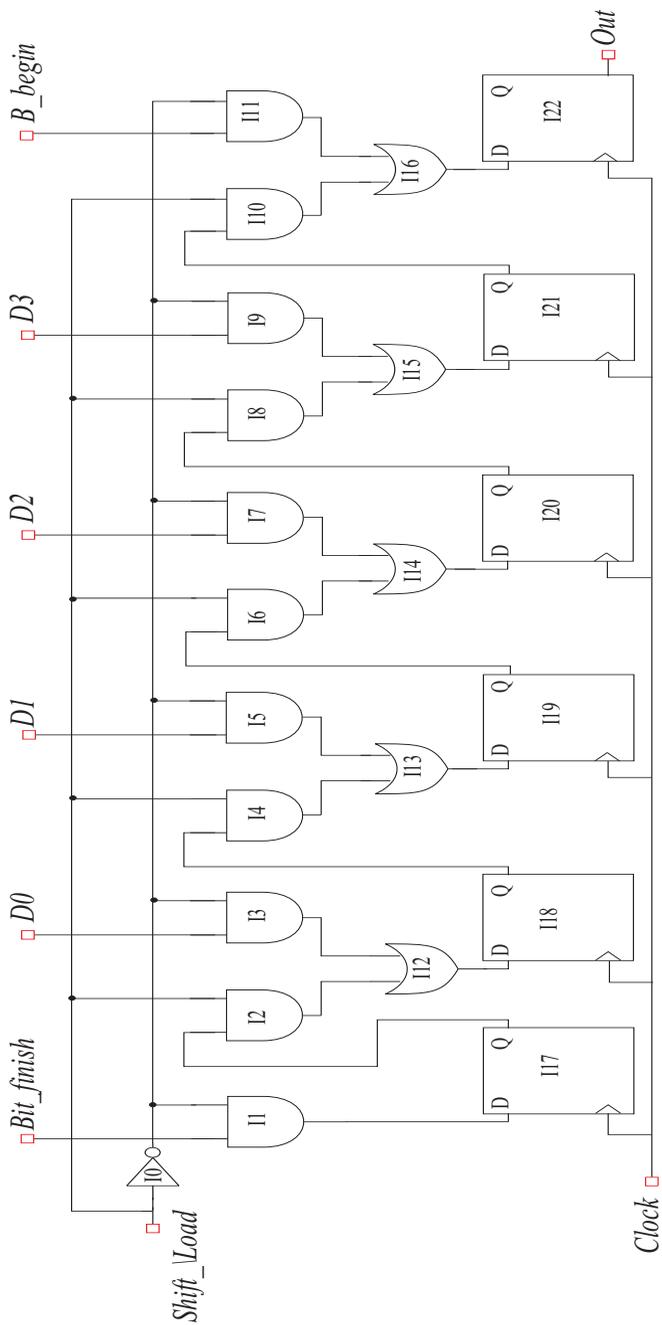


Figura 44: Esquemático dos três últimos bits do registrador de deslocamento PISO .

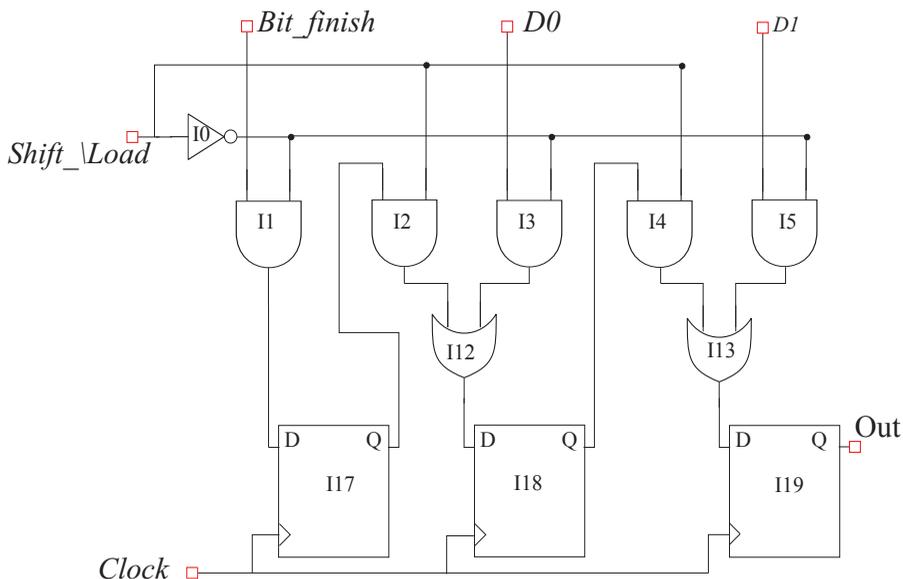
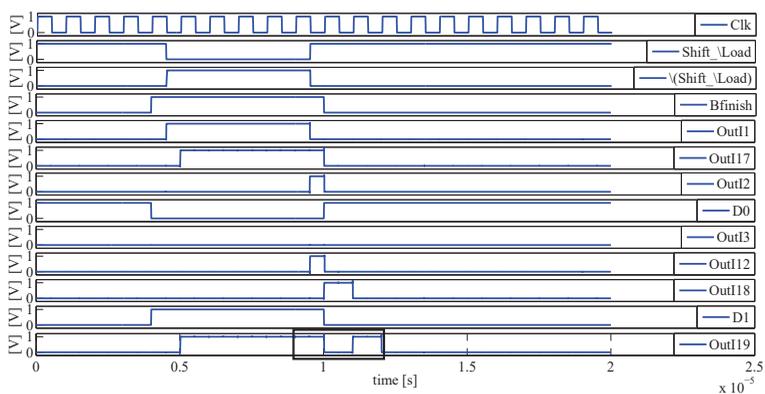


Figura 45: Diagrama de tempo dos sinais dos três últimos bits do registrador de deslocamento PISO.



A seguir, explica-se o funcionamento do registrador de deslocamento PISO iniciando pelo bit *Bit\_finish* e finalizando com o bit *D1* para observar

o deslocamento destes no tempo. A sequência de bits a ser obtida na saída do flip-flop I19 é '101'. Quando o sinal  $Shift\_Load$  toma o valor de '0' e o  $clock$  muda de '0' para '1', o valor do bit  $Bit\_finish$  ('1') é inserido na entrada D do flip-flop I17 através da porta AND I1. Acontece o mesmo evento com os bits D0 e D1, inseridos nos flip-flops I18 e I19 respectivamente, através da AND I3 e da OR I12 para o bit D0 e AND I5 e da OR I13 para o bit D1. Assim que o próximo pulso positivo do  $clock$  acontece, os valores nas entradas passam para as saídas respectivas de cada flip-flop tipo D. Quando o sinal  $Shift\_Load$  toma o valor '1' e o sinal do  $clock$  tem uma transição positiva, os três bits não são mais carregados pelas portas AND I1, I3 e I5. Em vez disso, a informação nas saídas dos flip-flops I17 e I18 passa através das AND I2 e I4, permitindo o deslocamento dos bits. Na Figura 45 são apresentadas as diferentes formas de onda ao longo do circuito. O sinal Out19 corresponde à saída do flip-flop I19 e apresenta a sequência de bits '101' entre os tempos  $9\ \mu s$  e  $12\ \mu s$ . É importante esclarecer que esta saída tem um valor '0' entre os tempos  $0\ \mu s$  e  $5\ \mu s$ , pois nesse momento a informação do bit D1 não foi inserida na entrada do flip-flop I19. Entre os tempos  $5\ \mu s$  e  $9\ \mu s$ , o valor de Out19 é '1', pois o bit D1 é carregado pelo sinal  $Shift\_Load$ .

As figuras de mérito usadas para validar o funcionamento do registrador de deslocamento PISO são:

- Potência média (estática).
- Potência de pico (dinâmica).
- Atraso de propagação.
- Produto *potência-atraso*.

Seguem os resultados de simulação transiente do esquemático e após extração das parasitas.

#### 4.4.1 Simulação transiente

As Figuras 46 a 49 apresentam a resposta transiente do esquemático, quando o pulso positivo do sinal  $Shift\_Load$  acontece, nesse momento é possível identificar as sequências 110101, 110001, 101111 e 101101, respectivamente.

Figura 46: Simulação transiente da seqüência 110101 na saída do registrador de deslocamento PISO.

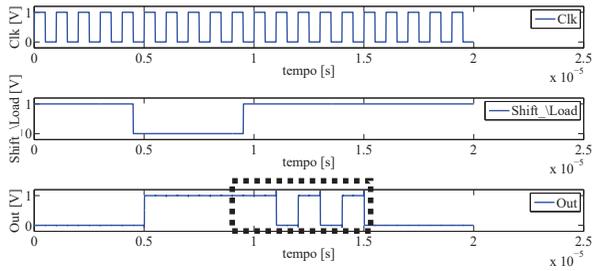


Figura 47: Simulação transiente da seqüência 110001 na saída do registrador de deslocamento PISO.

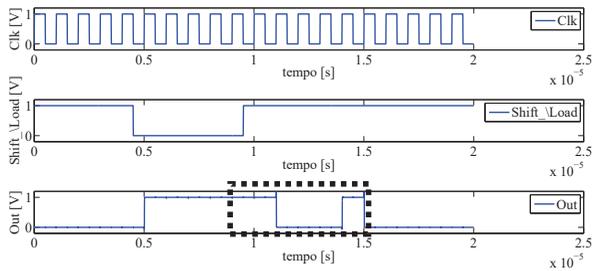


Figura 48: Simulação transiente da seqüência 101111 na saída do registrador de deslocamento PISO.

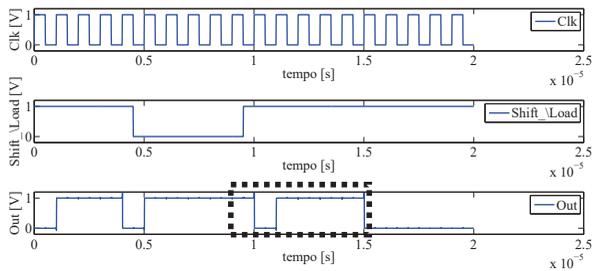
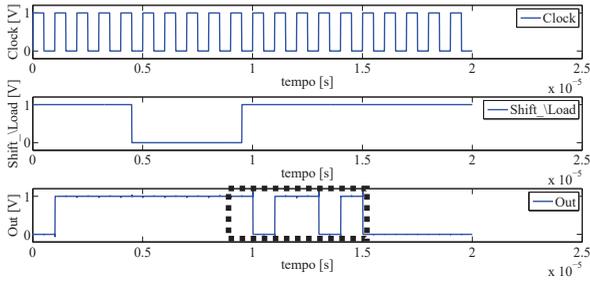


Figura 49: Simulação transiente da sequência 101101 na saída do registrador de deslocamento PISO.



As Figuras 50 a 53 apresentam a resposta transiente do leiaute após extração das estruturas parasitas, quando o pulso positivo do sinal *Shift\_Load* acontece. Nesse momento, é possível identificar as sequências 110101, 110001, 101111 e 101101, respectivamente.

Figura 50: Simulação pós-leiaute transiente da sequência 110101 na saída do registrador de deslocamento PISO.

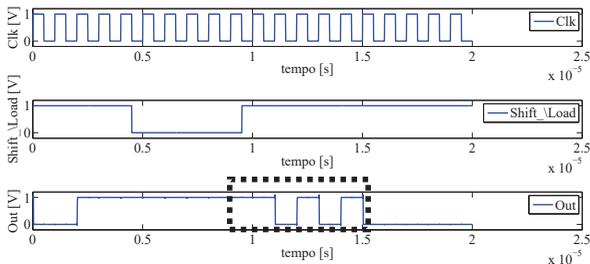


Figura 51: Simulação pós-leiaute transiente da sequência 110001 na saída do registrador de deslocamento PISO.

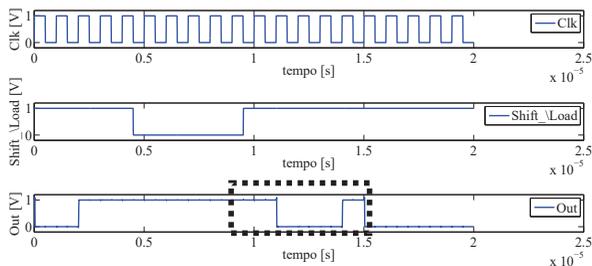


Figura 52: Simulação pós-leiaute transiente da sequência 101111 na saída do registrador de deslocamento PISO.

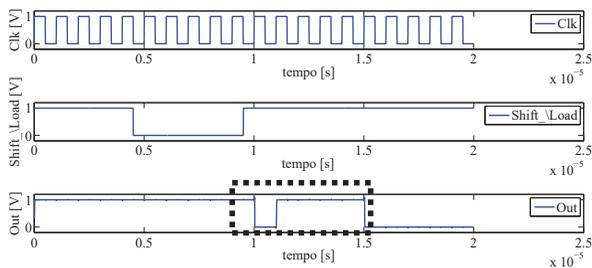
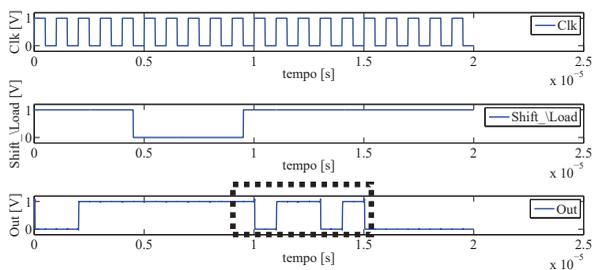


Figura 53: Simulação pós-leiaute transiente da sequência 101101 na saída do registrador de deslocamento PISO.



Finalmente, são apresentados na Tabela 12 os resultados obtidos dos parâmetros de avaliação do registrador de deslocamento PISO.

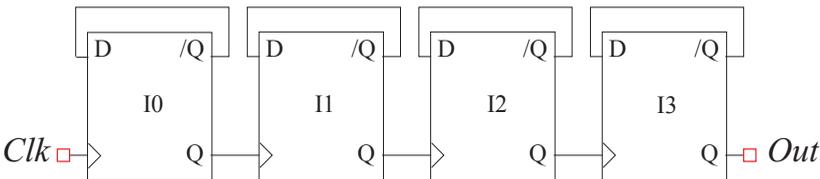
Tabela 12: Parâmetros do registrador de deslocamento PISO.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	176	299
Potência de pico (dinâmica) [nW]	9490	10690
Atraso de propagação [ns]	12,32	24,63
Produto <i>potência-atraso</i> [J]	$2,17 \times 10^{-15}$	$7,36 \times 10^{-15}$

#### 4.5 DIVISOR DE FREQUÊNCIA

O divisor de frequência permite obter um sinal com um período múltiplo do período do *clock*. A topologia usada para o divisor de frequência tem como base *flip-flops* tipo D realimentados (RAZAVI, 2003). Cada *flip-flop* divide o sinal da entrada por dois, de modo que para  $N$  *flip-flops* cascateados, o sinal na saída terá uma frequência  $2^N$  vezes menor que o sinal de referência. Nesse trabalho, o sinal de saída do divisor de frequência será usado como o sinal *Shift\\_Load*, que controla o registrador de deslocamento PISO. A Figura 54 mostra o esquemático do divisor de frequência projetado. O sinal de saída possui uma frequência dezesseis vezes menor que o sinal de *clock*, com esse valor de frequência garante-se que o registrador de deslocamento PISO conseguirá converter os bits de paralelo para série. Tanto o *Shift* como o *Load*, mutuamente excludentes, duram oito pulsos do sinal de *clock* (médio período do sinal com frequência dezesseis vezes menor), o que assegura no caso do sinal *Shift*, o deslocamento dos seis bits na saída do registrador de deslocamento PISO (1 pulso do sinal de *clock* por bit).

Figura 54: Divisor de frequência por dezesseis.



Todos os transistores tipo p e todos os transistores tipo n dos blocos (I0 → I3) possuem a razão de aspecto  $0,22 \mu\text{m}/4 \mu\text{m}$ . Os parâmetros usados para validar o funcionamento do divisor de frequência são:

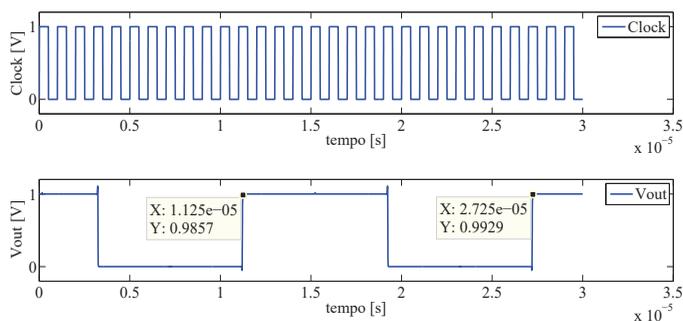
- Potência média (estática).
- Potência de pico (dinâmica).
- Atraso de propagação.

Uma vez definidas os parâmetros de avaliação, apresentam-se tanto os resultados de simulação do esquemático como do leiaute após extração das estruturas parasitas.

#### 4.5.1 Simulação transiente

Na Figura 55 apresenta-se o resultado de simulação transiente para o esquemático da saída do divisor de frequência.

Figura 55: Simulação transiente na saída do divisor de frequência.



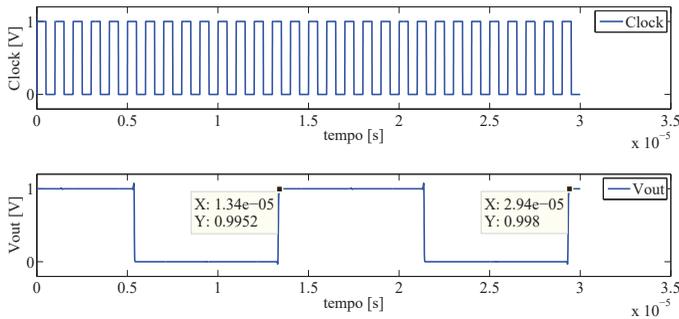
A partir da curva apresentada, é possível identificar a frequência do sinal de saída do divisor na Equação 4.5.

$$f_{divisor} = \frac{1}{27,25 \times 10^{-6} - 11,25 \times 10^{-6}} \approx 62,5 \text{ kHz.} \quad (4.5)$$

Na Figura 56, apresenta-se o resultado de simulação transiente da saída para o leiaute após extração das estruturas parasitas do divisor de frequência. A partir do gráfico anterior, é possível identificar a frequência do sinal de saída do divisor na Equação 4.6.

$$f_{divisor} = \frac{1}{29,4 \times 10^{-6} - 13,4 \times 10^{-6}} \approx 62,5 \text{ kHz.} \quad (4.6)$$

Figura 56: Simulação pós-leiaute transiente na saída do divisor de frequência.



Seguem os resultados obtidos dos parâmetros de avaliação do funcionamento do divisor de frequência na Tabela 13.

Tabela 13: Parâmetros do divisor de frequência.

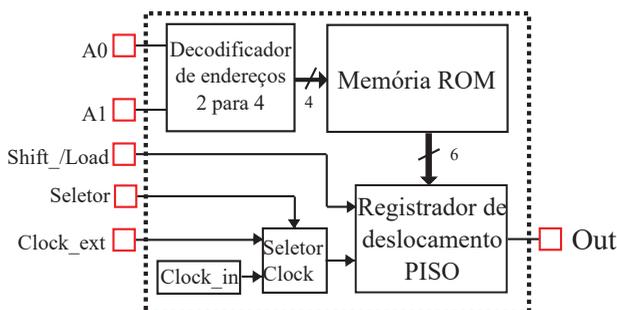
Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	170	244,4
Potência de pico (dinâmica) [nW]	2980	1620
Atraso de propagação [ns]	10200	12310

#### 4.6 VERIFICAÇÃO DO PROJETO DA CARGA NA TECNOLOGIA XFAB600NM

O projeto da carga na tecnologia XFAB600nm foi desenvolvido antes do projeto na tecnologia GF180nm, pois havia a possibilidade de enviar para prototipagem o projeto da carga antes que a da etiqueta. O objetivo da prototipagem na tecnologia XFAB600nm foi de verificar o correto funcionamento do leitor da memória ROM (carga da etiqueta), para assim, reduzir as probabilidades de erro quando a etiqueta na tecnologia GF180nm fosse enviada para prototipagem. A validação na tecnologia XFAB600nm foi realizada por meio das simulações transiente para o esquemático e para o leiaute após extração das estruturas parasitas. Quanto à tecnologia XFAB600nm, o comprimento mínimo do canal é de 600 nm, tem três níveis de metais (MET1, MET2 e MET3), dois polisilícios (POLY0 e POLY1) e a tensão de alimentação nominal é 3,3 V.

A Figura 57 apresenta o diagrama de blocos da carga.

Figura 57: Diagrama de blocos do circuito projetado.



Na figura anterior, é possível identificar a maioria dos blocos apresentados no Capítulo 3. No entanto, identificam-se algumas diferenças. Por exemplo, nesse projeto decidiu-se usar um sinal *Shift\_/Load* externo para ter um maior controle na carga e deslocamento dos bits da memória no registrador de deslocamento PISO. Adicionalmente, foi projetado um bloco seletor do sinal de *clock*, para que em caso de falha do oscilador interno, *Clock\_in*, poderia ser usado um sinal de *clock* externo como sinal de referência do registrador de deslocamento PISO.

#### 4.6.1 Simulação transiente

As Figuras 58 e 59 apresentam a simulação transiente para o esquemático e para o leiaute após extração das estruturas parasitas.

Figura 58: Simulação transiente do esquemático na tecnologia XFAB600nm.

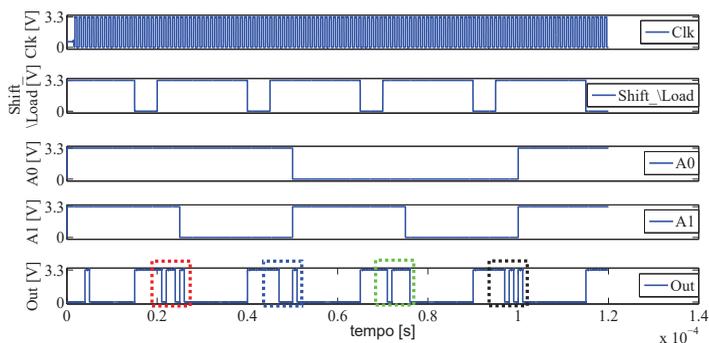
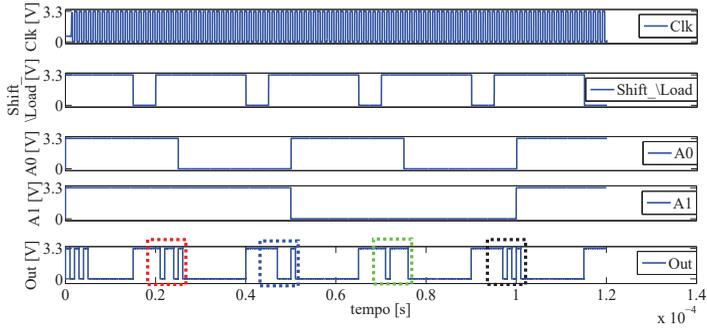


Figura 59: Simulação transiente do sistema após extração de parasitas na tecnologia XFAB600nm.



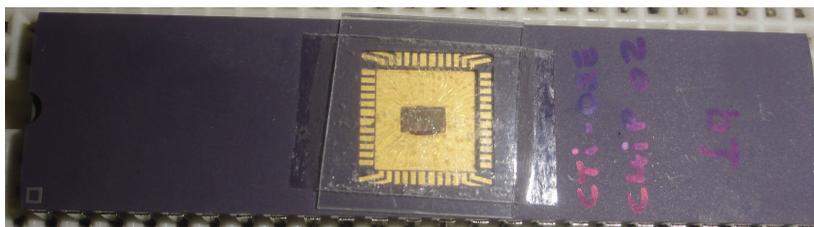
A partir das figuras anteriores, observa-se o correto funcionamento da carga. As diferentes seqüências de bits se encontram enquadradas nas diferentes cores, que respeitam o padrão previamente definido no Capítulo 3. Os resultados experimentais são apresentados na Seção 5.1.

## 5 RESULTADOS DOS CIRCUITOS PROJETADOS

### 5.1 PROTÓTIPO NA XFAB600NM

Foram fabricadas 20 amostras, cada uma delas com quarenta e um pinos e tensões de alimentação independentes entre os diferentes projetos que fazem parte do chip. A Figura 60 apresenta uma das amostras fabricadas na tecnologia XFAB600nm.

Figura 60: Amostra do circuito fabricado na XFAB600nm.



No primeiro teste que foi realizado para verificar o funcionamento do *chip*, selecionou-se o sinal de *clock* interno e usou-se o osciloscópio para captar o sinal de saída do leitor da memória. Ao longo desse teste, constatou-se que os valores lógicos baixos da saída não atingiam o valor de 0 V (o valor mínimo obtido foi de 0,3 V aproximadamente) para 1 MHz de frequência do sinal de *clock*. Esse resultado permitiu identificar um valor alto das capacitâncias internas do circuito integrado, provavelmente dos *pads*, que reduzia a velocidade de resposta do circuito e, portanto, da resposta em frequência. Logo, foi diminuída a frequência de oscilação do sinal de *clock* através do sinal de *clock* externo, o valor escolhido foi 200 kHz.

As respostas no domínio do tempo do sinal de *clock* com frequência 1 MHz e 200 kHz são apresentadas nas Figuras 61 e 62, respectivamente.

Uma vez obtido o sinal de saída, foi realizada, em seguida, a extração dos tempos de subida e descida para caracterizar a resposta transiente. Eles são apresentados nas Equações 5.1 e 5.2, respectivamente, para um sinal com frequência de 1 MHz:

$$t_{subida} = 184,5 \times 10^{-9}s - (-149 \times 10^{-9}s) \approx 333,5 \text{ ns}, \quad (5.1)$$

$$t_{descida} = 3,676 \times 10^{-6} - 2,9 \times 10^{-6} \approx 776 \text{ ns}. \quad (5.2)$$

Figura 61: Resposta transiente no osciloscópio para um sinal de *clock* com frequência de 1 MHz.

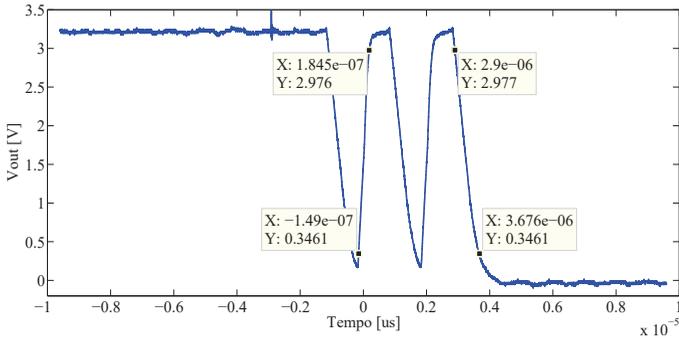
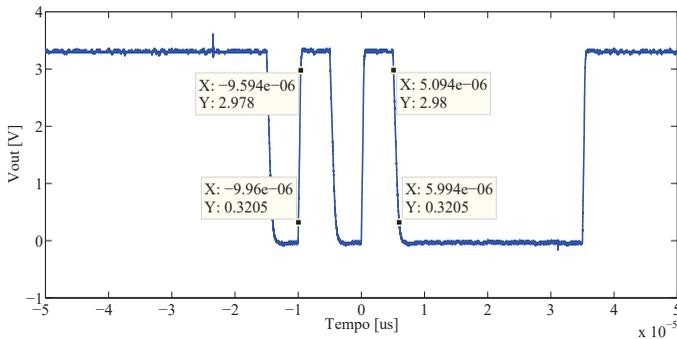


Figura 62: Resposta transiente no osciloscópio para um sinal de *clock* com frequência de 200 kHz.



Os tempos de subida e descida para o sinal com frequência de 200 kHz são apresentados nas Equações 5.3 e 5.4, respectivamente:

$$t_{subida} = -9,594 \times 10^{-6} - (-9,96 \times 10^{-6}) \approx 366 \text{ ns}, \quad (5.3)$$

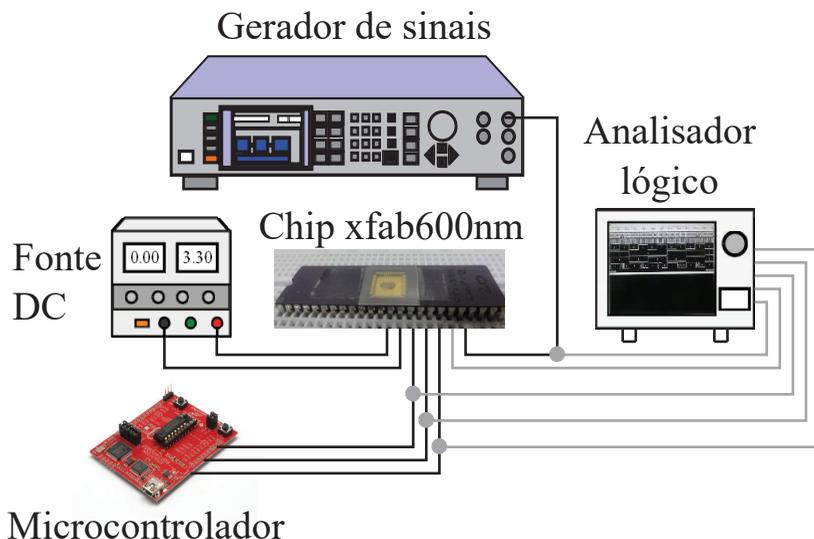
$$t_{descida} = 5,994 \times 10^{-6} - 5,094 \times 10^{-6} \approx 900 \text{ ns}. \quad (5.4)$$

Como se pode notar, os valores dos tempos de descida, em ambos os casos, são próximos ao tempo associado à frequência de 1MHz, resultado que corrobora a diminuição da frequência do sinal de *clock* para obter o comportamento desejado.

Adicionalmente, foi usado o analisador lógico para obter o sinal de

saída, com tensão de limiar de 1,65 V para diferenciar entre os níveis lógicos alto e baixo. O diagrama de blocos usado para realizar a medida é apresentado na Figura 63. Nela, é possível identificar: Chip xfab600nm, fonte DC, microcontrolador e analisador lógico.

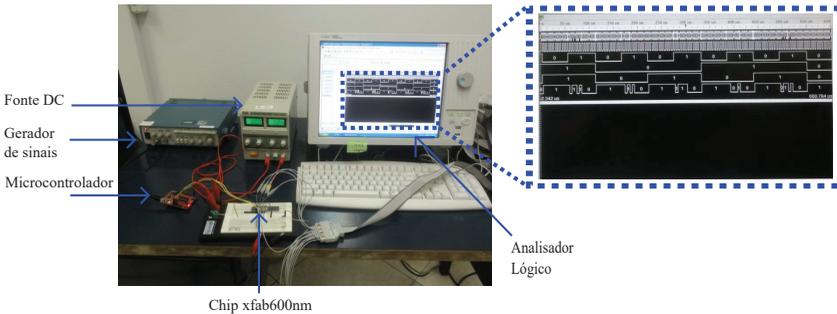
Figura 63: Diagrama de blocos do *setup* de medição do chip da XFAB600nm.



Na Figura 63, o sinal de *clock* é inserido pelo gerador de sinais, a fonte DC fixa os níveis de alimentação do circuito (3,3 V e 0 V), o microcontrolador estabelece os sinais de seleção (A0 e A1) da palavra de bit e também, o sinal de carga e deslocamento dos bits de informação no registrador de deslocamento PISO. Finalmente, o analisador lógico permite observar a resposta sem transições no tempo, o que possibilita distinguir corretamente os níveis lógicos, mesmo para um sinal de *clock* com frequência de 1 MHz.

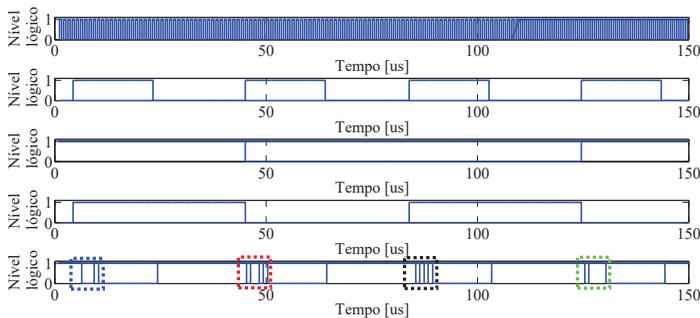
O *setup* na bancada experimental de medição no domínio do tempo da resposta da carga é apresentado na Figura 64.

Figura 64: *Setup* da medição da resposta no domínio transiente da carga na bancada experimental usando o analisador lógico.



As Figuras 65 e 66 apresentam os resultados no domínio do tempo da resposta da carga usando um sinal de *clock* com frequência de 1 MHz e 200 kHz, respectivamente.

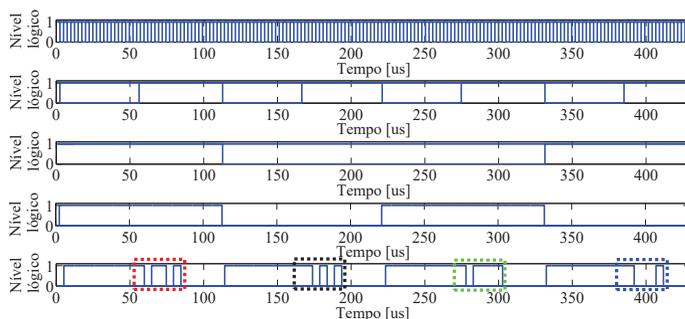
Figura 65: Resposta transiente no analisador lógico para um sinal de *clock* com frequência de 1 MHz.



Como é possível identificar em ambas as figuras dentro das linhas pontilhadas, as seqüências de bits obtidas a partir das diferentes combinações das entradas A0 e A1 foram as esperadas.

Além disso, é necessário apontar que, mesmo obtendo os resultados corretos com o analisador lógico para as duas frequências, a resposta analógica apresentou resultados diferentes e, portanto, devem ser levados em consideração na hora de processar a informação. Finalmente, é importante indicar que o consumo do circuito, usando o sinal de *clock* de 200 kHz, foi de 1 mW. No entanto, o objetivo dessa primeira fabricação foi unicamente de

Figura 66: Resposta transiente no analisador lógico para um sinal de *clock* com frequência de 200 kHz.



validar o funcionamento do leitor da memória, sem focar na otimização do consumo de potência.

## 5.2 PROTÓTIPO NA GF180NM

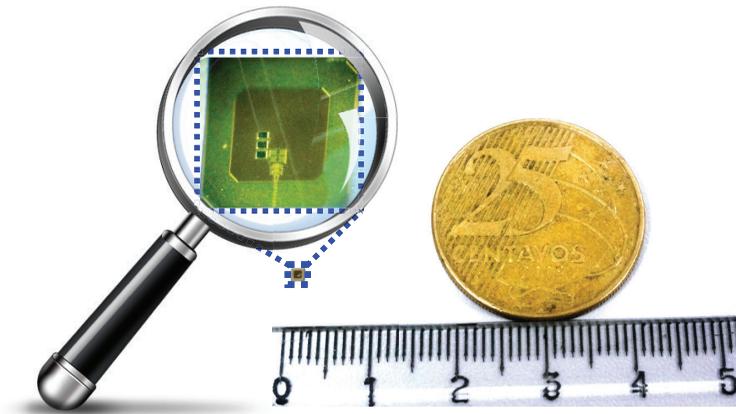
### 5.2.1 Caracterização da etiqueta.

Quarenta amostras da etiqueta foram fabricadas na tecnologia GF180nm. Na Figura 67, é apresentado um dos *dies* recebidos do fabricante.

O circuito integrado é fabricado junto com outros projetos na mesma pastilha de silício. O fabricante insere linhas metálicas entre os projetos, chamadas *scribe lines* ou *saw streets*, que servem como guia na hora de cortar os *dies* da mesma pastilha de silício. Depois de realizar o corte, essas linhas metálicas ficam ao redor de cada projeto, em forma de anel, e são chamadas de *seal ring*.

Foi identificada no trabalho (CABRERA; SOUSA, 2015), a influência do *seal ring* no fator de qualidade do indutor. Portanto, foi realizado o corte do *seal ring* em sete amostras e depois mediu-se o parâmetro S11 com o analisador de redes (VNA em Inglês) R&S<sup>®</sup>ZVB8. Essa medição foi realizada colocando o *die* sobre uma bobina conectada ao VNA, evitando qualquer outro tipo de contato ou uso de fios para extrair o parâmetro. A bobina planar de cobre, encontra-se sobre um substrato de fibra de vidro (FR-4), com um valor de indutância de 4,13 nH e uma resistência série de 0,073  $\Omega$ . A medição foi realizada tanto para os protótipos intactos (33 amostras) como para os *dies*

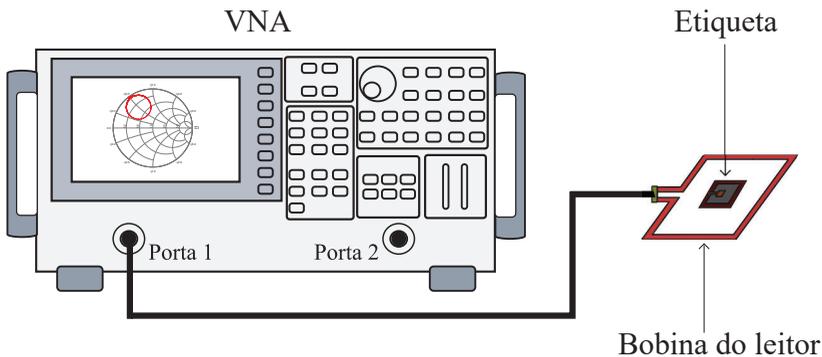
Figura 67: Amostra da etiqueta fabricada.



que foram cortados (7 amostras).

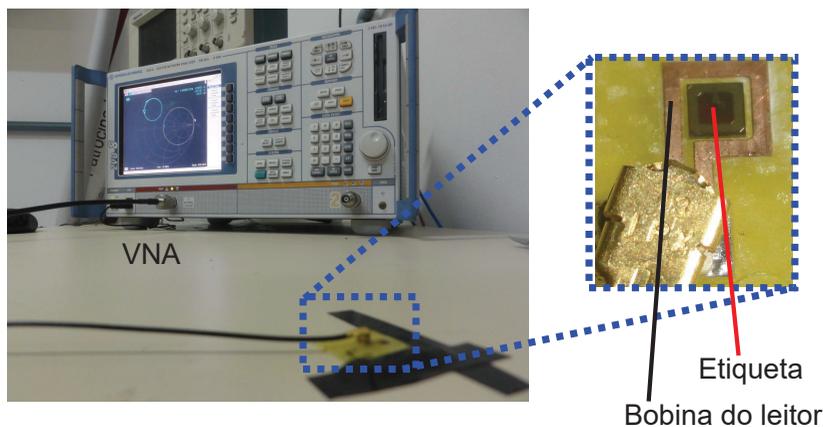
Na Figura 68, observa-se o *setup* para realizar as medições do parâmetro  $S_{11}$  com e sem *seal ring*. A bobina do leitor está ligada na porta do VNA para realizar a aquisição dos parâmetros  $S$  quando a etiqueta se encontra acima da bobina do primário. Foi utilizada uma potência de  $-10$  dBm para não ativar o circuito de leitura da informação inserida na etiqueta, já que, ela não deve interferir com a medição dos parâmetros do indutor integrado. A Figura 69

Figura 68: Esquemático do sistema para realizar as medições da influência do *seal ring* no fator de qualidade do indutor.



apresenta o experimento realizado na bancada de medições.

Figura 69: *Setup* na bancada experimental para realizar as medições.



Depois de realizar as medições das quarenta amostras com a etiqueta posicionada e centrada no indutor do leitor (altura igual a zero), foi implementada a metodologia proposta em (CABRERA; SOUSA, 2015), que permite obter a frequência de ressonância, o fator de qualidade do indutor da etiqueta e o fator de acoplamento. A obtenção desses parâmetros é realizada a partir da comparação das impedâncias refletidas no leitor da etiqueta intacta e da etiqueta com o corte. Na Figura 70, é apresentada a Carta de Smith, em que é possível identificar a diferença entre o parâmetro S11 de uma amostra com *seal ring* e de outra sem *seal ring* (cortado).

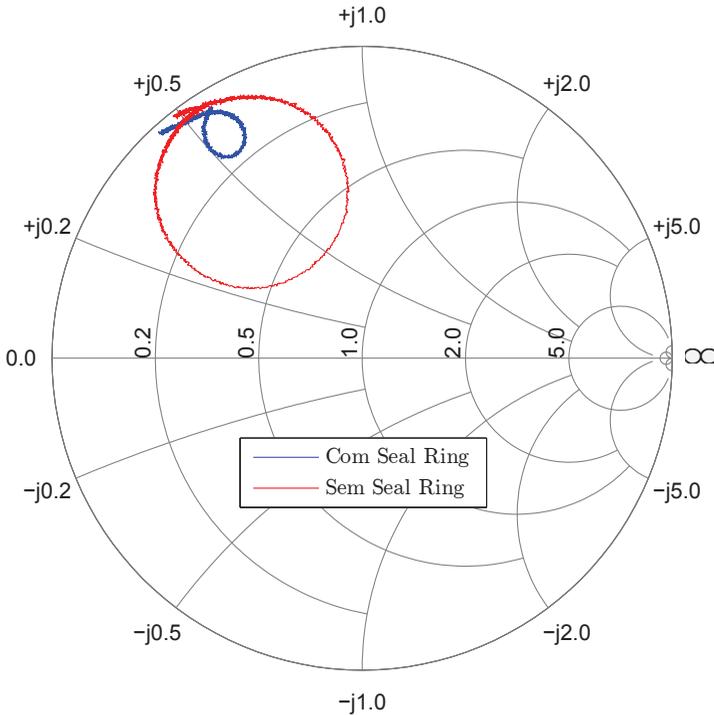
Portanto, ao ter sete amostras cortadas, comparou-se cada uma delas com as outras trinta e três etiquetas intactas usando a metodologia previamente citada. Foram obtidos duzentos e trinta e um valores para cada um dos três parâmetros extraídos. A Tabela 14 apresenta os valores médios dos parâmetros obtidos usando a metodologia.

Tabela 14: Valores médios dos parâmetros.

Parâmetro	Valor médio
Frequência de ressonância [MHz]	983,79
Fator de qualidade do indutor	19,13
Fator de acoplamento indutivo	0,2488

A partir da Tabela 14 é possível identificar um deslocamento da frequência de ressonância de 1,04 GHz para 983,79 MHz. No primeiro momento, supôs-

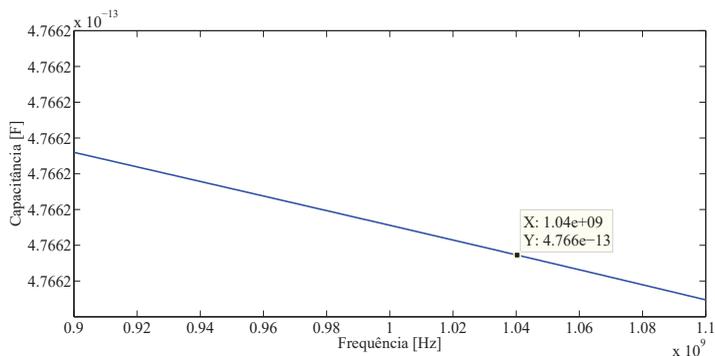
Figura 70: Carta de Smith do parâmetro S11 refletido na entrada do leitor com e sem *seal ring*.



se que essa diferença em frequência se devia unicamente às variações no processo de fabricação. No entanto, foi realizada a simulação da impedância de entrada do retificador de onda completa para identificar se o seu valor poderia influenciar nesse deslocamento. A simulação após extração das estruturas parasitas da capacitância de entrada do retificador quando varia a frequência de ressonância é apresentada na Figura 71.

A partir da figura anterior, identifica-se uma capacitância de entrada de 477 fF na frequência de 1,04 GHz. Acrescentando esse valor ao valor da capacitância do ressonador (11,7 pF), obtém-se um valor de capacitância total de 12,17 pF. A nova frequência de ressonância, mantendo o mesmo valor do indutor (2 nH), é 1,02 GHz. Portanto, conclui-se que tanto o capacitor de entrada do retificador como a variação devido ao processo de fabricação são

Figura 71: Capacitância de entrada do retificador variando a frequência.



os responsáveis do deslocamento em frequência da etiqueta.

Finalmente, foi possível identificar que o fator de qualidade do indutor da etiqueta foi o esperado (aproximadamente 20) após o corte do *seal ring*. Previamente, antes de realizar o corte, tinha-se obtido um fator de qualidade aproximadamente igual a 10.

### 5.2.2 Resposta em Frequência da etiqueta.

Uma vez extraídos os principais parâmetros da etiqueta, continuou-se com a comprovação do envio da informação no domínio da frequência usando o analisador de espectro. Para isso, foi implementado o esquemático apresentado na Figura 72.

Nesta figura, observam-se cinco componentes: gerador de sinais, circulador, analisador de espectro, bobina do leitor e etiqueta. O gerador de sinais energiza a bobina do leitor para alimentar a etiqueta. O circulador é um dispositivo de três portas, que transmite a energia incidente entre as portas em um único sentido (da porta 1 para a 2, da 2 para a 3 e da 3 para a 1). No entanto, ele impede a transmissão de energia no sentido contrário, evitando reflexão, que pode causar danos nos equipamentos. Finalmente, o analisador de espectro permite visualizar a resposta em frequência do sinal vindo da etiqueta.

A Figura 73 apresenta o *setup* realizado na bancada experimental.

Além dos componentes citados anteriormente na Figura 73, são apresentados três gráficos, contendo a resposta em frequência da etiqueta para três níveis de potência diferentes (7 dBm, 14 dBm, e 18 dBm). Para uma potência de 7 dBm do gerador de sinais, observa-se um único pico do sinal recebido,

Figura 72: Esquemático do sistema para obter a resposta da etiqueta no domínio da frequência.

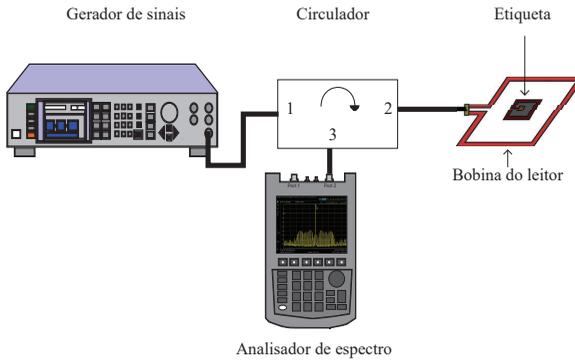
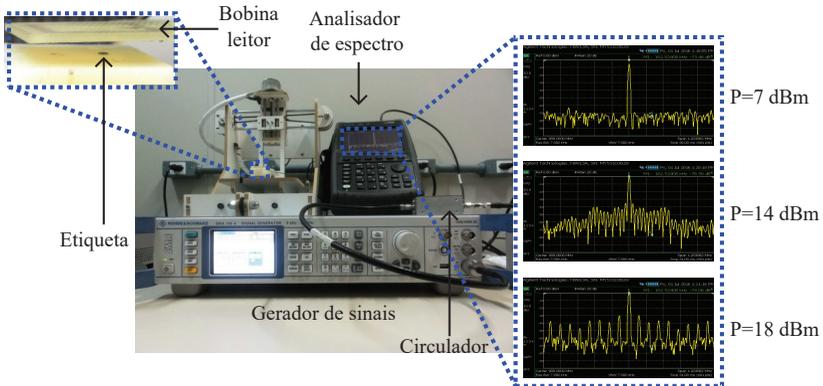


Figura 73: *Setup* na bancada experimental para obter a resposta da etiqueta no domínio da frequência.

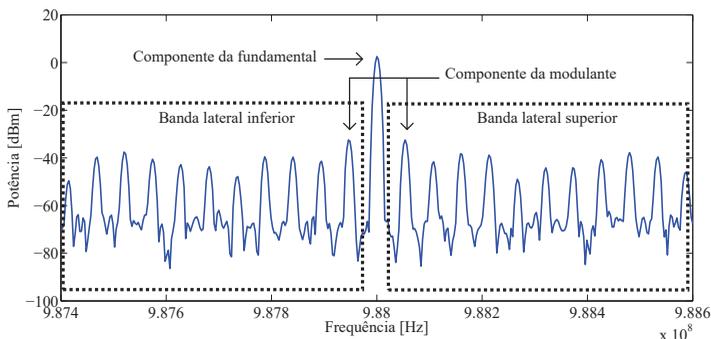


correspondente à fundamental. Esse resultado indica que a etiqueta ainda não alcançou os níveis de tensão para ativar todos os transistores e, portanto, não está enviando a informação. Nos outros dois gráficos (14 dBm e 18 dBm), percebem-se outros picos além da fundamental, o que indica a transmissão da informação inserida na etiqueta. Adicionalmente, nota-se uma separação maior entre os picos do sinal para esses dois gráficos, à medida que a potência entregue pelo gerador aumenta. Esse resultado demonstra a dependência direta entre a frequência dos dados transmitidos e a tensão de alimentação, que, por sua vez, depende da potência disponível na etiqueta. Finalmente, é importante indicar que essas medidas foram adquiridas com a etiqueta centrada na bobina

do leitor e uma distância entre os dois componentes de 3 mm.

A Figura 74 apresenta a resposta da etiqueta (amostra número 5 sem *seal ring*) no domínio da frequência para uma potência do gerador de sinais de 18 dBm e uma distância entre os dois componentes de 3 mm.

Figura 74: Resposta da etiqueta no domínio da frequência.



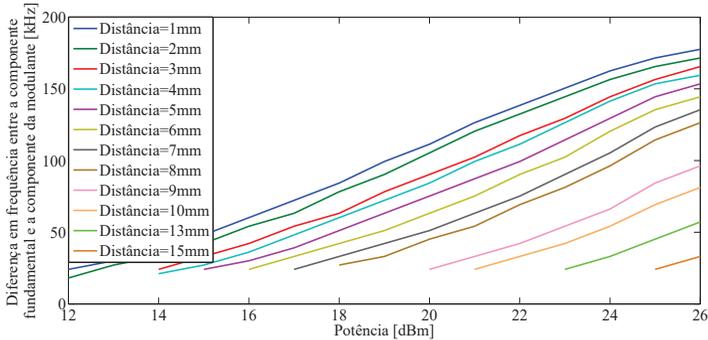
Na Figura 74, são definidos vários elementos no domínio da frequência para um melhor entendimento dos resultados. O pico centrado na frequência de 988 MHz (observa-se que, para essa amostra, a frequência de ressonância encontra-se 4 MHz abaixo do valor médio apresentado na Tabela 14) corresponde à componente fundamental do sinal. As frequências em ambos os lados da componente fundamental são chamadas de banda lateral superior (frequências acima da frequência da componente fundamental) e banda lateral inferior (frequências abaixo da frequência da componente fundamental). A componente associada à informação transmitida pela etiqueta se encontra nos dois picos mais próximos da componente fundamental, tanto na banda lateral superior como na banda lateral inferior. Os outros picos de potência correspondem a múltiplos da componente associada à informação.

Uma análise mais aprofundada da influência da distância na frequência dos dados transmitidos será abordada brevemente.

A Figura 75 apresenta a diferença em quilohertz entre o sinal da componente fundamental, centrado aproximadamente em 988 MHz, e o sinal da componente associada à sequência de bits, para diferentes níveis de potência fornecidos pelo gerador de sinais (o passo para realizar a medição foi de 1 dBm). Adicionalmente, a distância entre a bobina do leitor e a etiqueta foi alterada entre 1 mm e 15 mm.

Como é possível observar na Figura 75, à medida que a potência entregue pelo gerador de sinais aumenta, a diferença em quilohertz entre as

Figura 75: Diferença entre as frequências da fundamental e da componente da sequência de bits para diferentes potências entregues pelo gerador de sinais mudando a distância entre a bobina do leitor e a etiqueta.



componentes da portadora e da sequência de bits aumenta também, mantendo a mesma distância entre as bobinas. Este resultado confirma a dependência da frequência dos dados enviados com a potência disponível na etiqueta, pois seu oscilador controlado por tensão determina essa frequência.

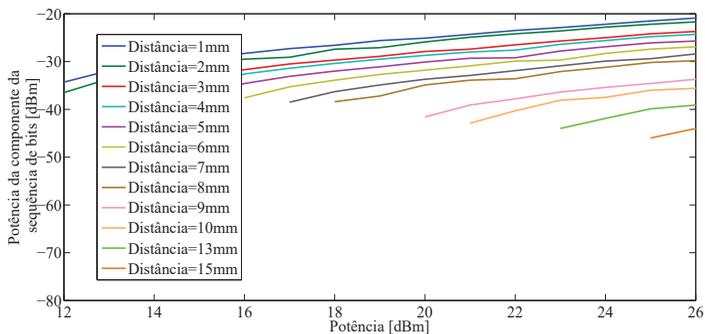
Outro resultado obtido corresponde à diminuição da potência disponível na etiqueta quando a distância entre os dois indutores aumenta, devido às perdas no meio de transmissão.

A Figura 76 apresenta a potência recebida da componente associada à sequência de bits em função da potência entregue pelo gerador de sinais, com passos de 1 dBm, para diferentes distâncias entre a bobina do leitor e a etiqueta. A partir dos resultados da Figura 76, é possível identificar um aumento da potência associada à componente da sequência de bits, quando a potência entregue pelo gerador de sinais aumenta também. Por sua vez, observa-se uma diminuição do valor de potência da componente associada à sequência de bits devido às perdas no meio de transmissão.

### 5.2.3 Resposta Transiente da etiqueta.

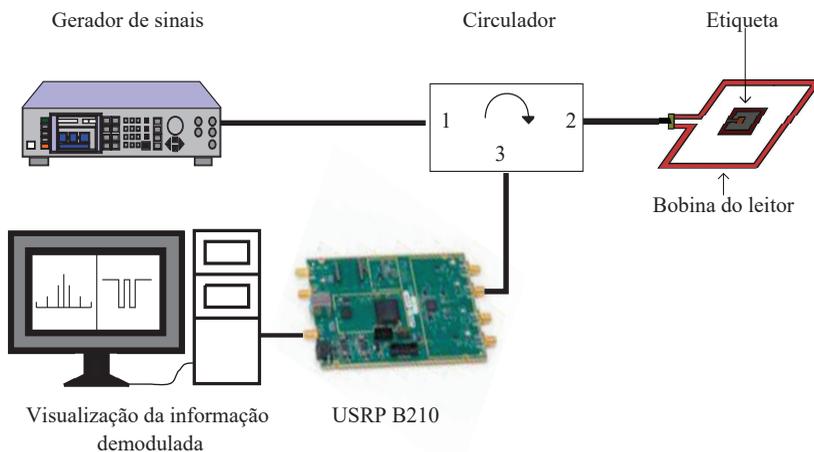
Tendo-se identificado o envio da informação pela etiqueta, implementa-se a demodulação para recuperar a sequência de bits. Para realizar as medições no domínio do tempo, foi realizada a montagem apresentada na Figura 77. O sistema permite energizar a etiqueta e, ao mesmo tempo, adquirir e visualizar a informação inserida na etiqueta, evitando as reflexões de energia, através do circulador. Adicionalmente, foi usado o *software* livre GNU Radio para

Figura 76: Potência da componente da sequência de bits para diferentes potências entregues pelo gerador de sinais mudando a distância entre a bobina do leitor e a etiqueta.



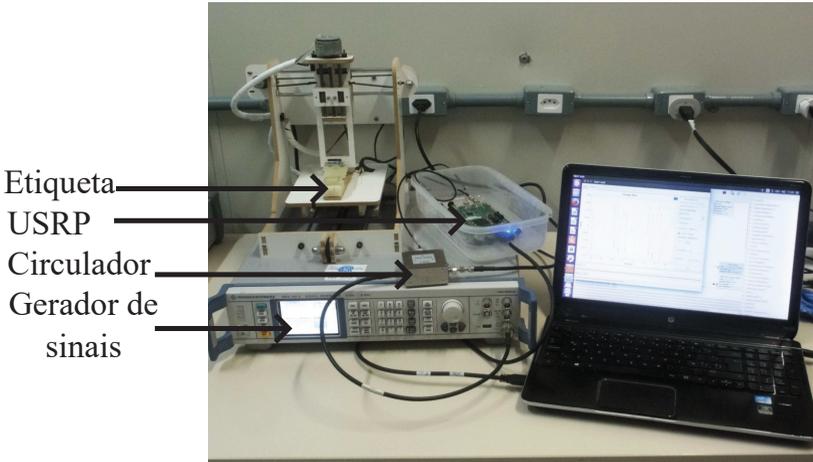
o processamento da informação recebida da etiqueta. O *setup* na bancada

Figura 77: Esquemático para demodulação da informação da etiqueta.



experimental é apresentado na Figura 78 para a aquisição dos dados no domínio do tempo.

Figura 78: *Setup* na bancada experimental das medições no domínio do tempo.



Na Figura 79, são apresentados os dados adquiridos pelo GNU Radio (a), os dados amplificados (b) e as seqüência de bits com os níveis lógicos (c). Nos dois gráficos, é possível identificar a seqüência de bits 110101, associada ao valor nas entradas  $A0=‘0’$  e  $A1=‘0’$ . As outras seqüências de bits não foram adquiridas, pois a seleção da seqüência de bits foi feita a partir da inserção de *pads* no leiaute, correspondentes aos pinos  $A0$  e  $A1$ . Essa seleção é realizada através da conexão dos *pads* usando *wire bonds*, o que adicionou um processo a mais para a aquisição dessas três seqüências de bits. Esse último passo não tinha sido terminado quando foi finalizado esse documento. No entanto, a aquisição da seqüência 110101 permitiu validar o funcionamento da etiqueta. Após verificação do envio da informação no domínio do tempo, foi variada a potência entregue pelo gerador de sinais, com passos de 1 dBm, juntamente com a distância entre o leitor e a etiqueta para identificar a influência desses dois parâmetros na frequência do sinal modulante recebida. Os resultados são apresentados na Figura 80.

A partir da Figura 80, é possível identificar o aumento na frequência do sinal modulante quando a potência entregue pelo gerador de sinais aumenta também. Conseqüentemente, a potência disponível na etiqueta é maior, o que implica no aumento da tensão de alimentação da carga e, portanto, no aumento da frequência do sinal de *clock*. Adicionalmente, a medida que a distância entre os dois componentes aumenta, a frequência do sinal modulante diminui devido às perdas da potência emitida pelo leitor no meio de transmissão.

Figura 79: Dados adquiridos do GNU Radio, amplificados e transformação em sequência de bits.

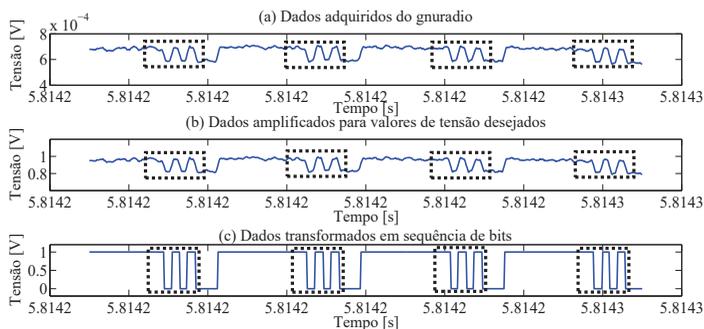
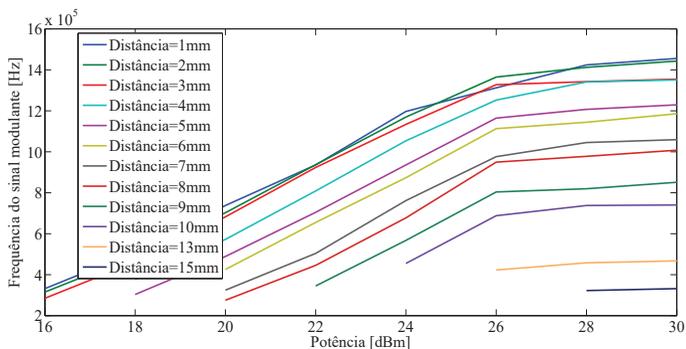


Figura 80: Frequência do sinal modulante variando a potência entregue pelo gerador de sinais para diferentes distâncias entre o leitor e a etiqueta.



## 5.2.4 Comparação com os dispositivos do estado da arte.

Na Tabela 15, são apresentados os resultados obtidos junto com as características dos dispositivos do estado da arte selecionados. A partir dos resultados apresentados, é possível identificar uma diminuição na potência emitida pelo leitor (40 mW), da metade da potência mínima dos dispositivos do estado da arte (100 mW). A etiqueta projetada neste trabalho apresenta o menor consumo de potência média ( $1 \mu\text{W}$ ) dentre os trabalhos do estado da arte. Adicionalmente, a área total da etiqueta utilizada ( $1,5 \text{ mm} \times 1,5 \text{ mm}$ ) é das menores entre as etiquetas apresentadas. O valor do fator de qualidade do

indutor integrado (19,13) foi o maior de todos os apresentados. Esse valor foi atingido devido ao trabalho realizado anteriormente no grupo de pesquisas em RadioFrequência em (CABRERA; SOUSA, 2014). Nesse trabalho, procurou-se otimizar a transferência de energia para um implante biomédico através do acoplamento indutivo. Percebeu-se que umas das maiores limitantes dos circuitos integrados era o baixo fator de qualidade do indutor integrado. Portanto, realizou-se uma otimização da geometria do indutor na área delimitada pelo fabricante (mesma área deste trabalho).

Em resumo, observam-se valores menores para a potência entregue pelo leitor e para área da etiqueta, duas características do sistema que permitem atingir os objetivos definidos no início do trabalho: baixa potência consumida pelo sistema e miniaturização da etiqueta.

Tabela 15: Comparação dos resultados obtidos com o estado da arte escolhido.

Referência	(G. HAQBIJAM, 2007)*	(B. KIM, 2010)	(A. BALDI, 2011)	(M. H. NAZARI, 2014)	(ZARGHAM, GULAK, 2015)	Este trabalho*
Tecnologia [nm]	CMOS 350 nm	CMOS 1,2 $\mu$ m	CMOS 180 nm	CMOS 180 nm	CMOS 130 nm	CMOS 180 nm
Potência média da etiqueta	360 $\mu$ W	-	720 $\mu$ W	6 $\mu$ W	1 mW	1 $\mu$ W
Potência emitida pelo leitor	-	-	250 mW	160 mW	100 mW	40 mW
Tensão de alimentação [V]	3	0,7	1,8	1,2	1,2	1
Frequência do sinal da portadora [MHz]	915	13,56	13,56	900	160	1040
Frequência do sinal modulante [MHz]	0,5	0,212	-	0,2	-	1
Área total da etiqueta [ $mm^2$ ]	$0,38 \times 0,38$	$7 \times 7$	$1,5 \times 1,5$	$1,4 \times 1,4$	-	$1,5 \times 1,5$
Fator de qualidade do indutor integrado	6,2	1,2	0,89	-	$2 \times 2,18$	$12,3$

\* Possui memória ROM integrada.



## 6 DISCUSSÕES E CONCLUSÕES

Este trabalho apresenta um dispositivo com características de um sistema RFID para identificação de objetos, a partir das diferentes etapas (simulação estrutural, simulação do leiaute após extração das estruturas parasitas e medição experimental na bancada), do fluxo de projeto de circuitos integrados. O sistema foi projetado para cumprir as especificações de um dispositivo de baixo consumo de potência, miniaturizado e de baixo custo, para assim, ser incorporado na Camada de Percepção da IoT. O dispositivo projetado é ativado por ondas de radiofrequência enviadas por um leitor, permitindo ler a informação contida em uma memória ROM *full-custom*. Essa informação é transmitida sequencialmente a partir da modulação de carga realizada por uma chave que se encontra em paralelo com o tanque LC da etiqueta. A informação é recuperada e demodulada, permitindo visualizar os dados extraídos da etiqueta.

Duas rodadas nas tecnologias XFAB600nm e GF180nm foram realizadas para validar o funcionamento do circuito. Quanto à primeira tecnologia, foi verificado o correto funcionamento do leitor da memória ROM no domínio do tempo a partir do analisador lógico. No entanto, foi percebido no osciloscópio que a forma de onda dos bits no tempo não era adequada para uma frequência do sinal de *clock* de 1MHz. Esta frequência foi diminuída para 200 kHz e dessa vez, foi possível obter a forma de onda correta da sequência de bits. Essa possível diferença com os resultados obtidos nas simulações deve-se possivelmente à inclusão das capacitâncias dos pinos de entrada, o que reduz a velocidade da resposta em frequência. No entanto, o objetivo principal dessa rodada era de validar o funcionamento do leitor da memória.

Quanto à tecnologia GF180nm, percebeu-se um deslocamento da frequência de ressonância do circuito integrado de 1,04 GHz (simulação) para aproximadamente 988 MHz (dispositivo físico) devido às variações do processo de fabricação e também, à capacitância de entrada do retificador. O anterior implicou em uma mudança da frequência de ressonância dos dispositivos do leitor.

Adicionalmente, para extrair a informação da etiqueta corretamente, foram realizados vários tipos de medições para caracterizar o dispositivo. Por exemplo, identificou-se a influência do *seal ring* no fator de qualidade do indutor da etiqueta e, portanto, na transferência de energia do sistema. Conseguiu-se validar a metodologia de extração dos principais parâmetros da etiqueta para caracterização do acoplamento indutivo.

A extração dos resultados no domínio da frequência e do tempo foi realizada usando um analisador de espectro e uma plataforma de sinais de RF

(USRP B210), respectivamente. Essa plataforma de radio definido por software permitiu substituir os equipamentos de medição de alto custo e, portanto, diminuindo os custos de implementação do *setup* experimental da extração dos dados.

Identificou-se também, a influência da potência disponível pelo gerador de sinais e da distância entre a bobina do leitor e a etiqueta, na frequência de transmissão da etiqueta para o leitor. A potência máxima disponibilizada pelo gerador de sinais foi de 30 dBm, já que, esse é o valor limite permitido pelos padrões, da potência emitida por uma antena (bobina). Esse valor de 30 dBm permitiu estender o range de leitura da etiqueta até 15 mm.

Realizando uma comparação entre os resultados obtidos na bancada e o estado da arte, observou-se que houve uma redução no consumo de potência, nas dimensões da etiqueta e um aumento do fator de qualidade do indutor da etiqueta. Portanto é possível concluir que o objetivo desse projeto foi atingido.

Um aspecto que deve ser considerado e discutido é a eficiência do retificador de onda completa. Como foi possível identificar nos resultados de simulação apresentados no Capítulo 3, a eficiência do retificador, representada pela figura de mérito PCE, foi aproximadamente 20%. No entanto, foi indicado que o baixo valor da PCE para o consumo da carga especificada ( $1\mu W$ ) deve-se ao seu consumo insignificante comparado com o consumo de energia usado para atingir o nível DC desejado. Consequentemente, existe uma grande dissipação de energia do retificador que não está sendo aproveitada. Uma solução simples que evitaria realizar uma mudança importante no sistema para aumentar a eficiência do bloco, é o uso de diodos Schottky devido a sua baixa tensão de limiar, permitindo usar menores valores de potência disponível na entrada do retificador.

Como trabalhos futuros a serem realizados para ter um protótipo mais robusto e de menor consumo, alguns elementos podem ser adicionados. Recomenda-se inserir um circuito limitador de tensão para manter o restante do sistema dentro dos níveis seguros de operação. Adicionalmente, a inclusão de um regulador de tensão após o retificador de onda completa manterá uma tensão constante na carga evitando os efeitos da modulação de carga sobre a alimentação. Complementarmente, para possibilitar o acesso completo da informação armazenada na memória, sem a utilização dos *pads*, propõe-se desenvolver um método de seleção baseado no nível de potência disponível na entrada da etiqueta.

Finalmente, é importante indicar que o dispositivo desenvolvido nesse trabalho é um protótipo que pode ser incluído em uma aplicação de rastreamento de objetos, como por exemplo dentro de uma loja de vendas, ou também em aplicações biomédicas como o monitoramento de pacientes permanentes nos hospitais. No entanto, para esse último caso é necessário

realizar um estudo mais aprofundado da absorção das ondas eletromagnéticas pelo corpo humano, para assim evitar prejuízos nos pacientes.



## REFERÊNCIAS

- A. BALDI, e. a. Powering of single-chip fully integrated rfid wireless sensors. *37th Annual Conference on IEEE Industrial Electronics Society (IECON)*, 2011.
- AGGELOS BLETSAS, A. G. D.; SAHALOS, J. N. Improving backscatter radio tag efficiency. **IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES**, 2010.
- ARRIGO, J. **Input and Output Capacitor Selection**. [S.l.], 2006.
- B. KIM, e. a. 13.56 mhz-rfid biosensor with on-chip spiral inductor. **International Conference on Enabling Science and Nanotechnology (ESciNano)**, 2010.
- CABRERA, F. L.; SOUSA, F. R. de. A cmos fully-integrated wireless power receiver for autonomous implanted devices. **IEEE International Symposium on Circuits and Systems (ISCAS)**, 2014.
- CABRERA, F. L.; SOUSA, F. R. de. Contactless characterization of a cmos integrated lc resonator for wireless power transferring. **IEEE Microwave and Wireless Components Letters**, 2015.
- CABRERA, F. L.; SOUSA, F. R. de. **Contribuições à Otimização da Eficiência na Transferência de Energia Sem-fio para Dispositivos Eletrônicos Miniaturizados**. Tese (Doutorado) — Universidade Federal de Santa Catarina, UFSC, Brasil., 2016.
- CHECKPOINT. abril 2016. Disponível em: <<http://us.checkpoint.com/>>.
- COETZEE, L.; EKSTEEN, J. The internet of things - promise for the future? an introduction. **IST-Africa Conference Proceedings**, 2011.
- CONFIDEX. março 2016. Disponível em: <<http://www.confidex.com/>>.
- DALTON COLOMBO, e. a. A design methodology using the inversion coefficient for low-voltage low-power cmos voltage references. 2011.
- DAVID MONEY HARRIS, S. L. H. **Digital Design and Computer Architecture**. [S.l.]: Morgan Kaufmann, 2013.
- FINKENZELLER, K. **RFID Handbook**. [S.l.: s.n.], 2003.

G. HAObIJAM, e. a. Rfid circuit design with optimized cmos inductor for monitoring biomedical signals. **15th International Conference on Advanced Computing and Communications**, 2007.

GUTIÉRREZ, A. J.; SOUSA, F. R. de. **Retificador de sinal AC-DC para sistema RF -ID Energy Harvesting**. [S.l.], 2014.

HAO JIANG, e. a. Miniaturizing rfid for magnamosis. **36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society**, 2014.

HASTINGS, A. **The Art of Analog Layout**. [S.l.]: Prentice-Hall, 2005.

JAN M. RABAey, A. C.; NIKOLIC, B. **Digital Integrated Circuits**. [S.l.]: Prentice-Hall, 2003.

KUBO. The research of iot based on rfid tecnology. **7th International Conference on Intelligent Computation Technology and Automation (ICICTA)**, 2014.

KUROKAWA, K. Power waves and the scattering matrix. **IEEE Transactions on Microwave Theory and Techniques**, 1965.

LEHPAMER, H. **RFID Design Principles**. [S.l.]: Artech House Inc., 2008.

M. H. NAZARI, e. a. An implantable continuous glucose monitoring microsystem in 0.18 um cmos. **Symposium on VLSI Circuits Digest of Technical Papers**, 2014.

MANDAL, S.; SARPESHKAR, R. Low-power cmos rectifier design for rfid applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, 2007.

MARCEL J. M. PELGROM, A. C. J. D.; WELBERS, A. P. G. Matching properties of mos transistors. **IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5**, 1989.

MATTERN, F.; FLOERKEMEIER, C. From active data management to event-based systems and more. In: \_\_\_\_\_. Kai Sachs, Ilia Petrov and Pablo Guerrero, 2010. cap. From the Internet of Computers to the Internet of Things, p. 242–259. Disponível em:  
<<http://www.rfidjournal.com/articles/pdf?4986>>.

MATTHIAS BUCHER, C. L.; ENZ, C. C. An efficient parameter extraction methodology for the ekv most model. **Proceedings of the 1996 IEEE International Conference on Microelectronic Test Structures**, 1996.

NEIL WESTE by; HARRIS, D. **CMOS VLSI Design: A Circuits and Systems Perspective**. [S.l.]: Addison-Wesley, 2011.

NORDICID. março 2016. Disponível em: <<http://www.nordicid.com/en/>>.

RAZAVI, B. **Design of Integrated Circuits for Optical Communications**. [S.l.: s.n.], 2003.

SCHNEIDER, M. C.; GALUP-MONTORO., C. **CMOS Analog Design Using All-Region MOSFET Modeling**. [S.l.: s.n.], 2010.

SOLUTIONS, T. R. março 2016. Disponível em: <<http://tycoretailsolutions.com/Pages/Home.aspx>>.

STEFANOVIC, D.; KAYAL, M. **Structured Analog CMOS Design**. [S.l.: s.n.], 2008.

STOCKMAN, H. Communication by means of reflected power. **Proceedings of the IRE**, 1948.

WANG, J. **ECEN 454 Lab8: Design & Characterization of a Flip-flop**. 2013. Texas A&M Digital Integrated Circuit Design Spring 2014. Disponível em: <<http://goo.gl/mUuqUj>>.

XIAOLIN JIA, e. a. Rfid technology and ist applications in internet of things (iot). **2nd International Conference on Consumer Electronics, Communications and Networks (CECNet)**, 2012.

ZARGHAM, M.; GULAK, P. G. Fully integrated on-chip coil in 0.13 um cmos for wireless power transfer through biological media. **IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS, VOL. 9, NO. 2, APRIL**, 2015.



**APÊNDICE A – Leiautes fabricados nas tecnologias GF180nm e  
XFAB600nm**



Nessa apêndice são apresentados os diferentes leiaute realizados para validar o sistema completo. Como foi exposto ao longo do trabalho, dois protótipos foram enviados para fabricação em duas rodadas diferentes (GF180nm e XFAB600nm). Os leiautes das duas tecnologias são apresentados com suas características mais relevantes. Foram usadas diferentes técnicas de leiaute para otimizar a área, diminuir as variações de processo, diminuir o efeito das correntes parasitas e as próprias estruturas parasitas segundo o definido em (HASTINGS, 2005).

Além disso, é necessário indicar que todas as portas lógicas usadas em ambas as tecnologias foram implementadas desde o nível de transistor, com o objetivo de otimizar a área de leiaute, respeito aos leiautes das portas lógicas das bibliotecas estândares das tecnologias.

## A.1 LEIAUTES DA GF180NM

Na elaboração dos leiautes na GF180nm, várias técnicas foram usadas em comum para todos os sub-blocos desenvolvidos.

- As camadas dos metais ímpares (M1, M3 e MT) foram usadas no sentido vertical do leiaute, enquanto as camadas dos metais pares (M2, M4 e AM) foram posicionadas no sentido horizontal deste. Esse procedimento foi realizado para organizar e simplificar as ligações feitas.
- Foram colocados vários contatos para o substrato, conseguindo uma melhor distribuição das correntes de fuga do circuito, para assim, eliminar os *loops* de corrente e por consequência, obter uma diminuição do fluxo magnético atravessando o *die*.
- Um *guardring* ao redor dos transistores Pmos foi inserido para evitar o fenômeno de *latchup* no circuito e assim diminuir as perdas por substrato. No entanto, sabe-se que os *guardrings* são elementos que atenuam o fluxo de campo magnético atravessando o dispositivo, portanto os *padrings* usados nesse leiaute têm dimensões pequenas que tem pouca relevância na atenuação do fluxo magnético.

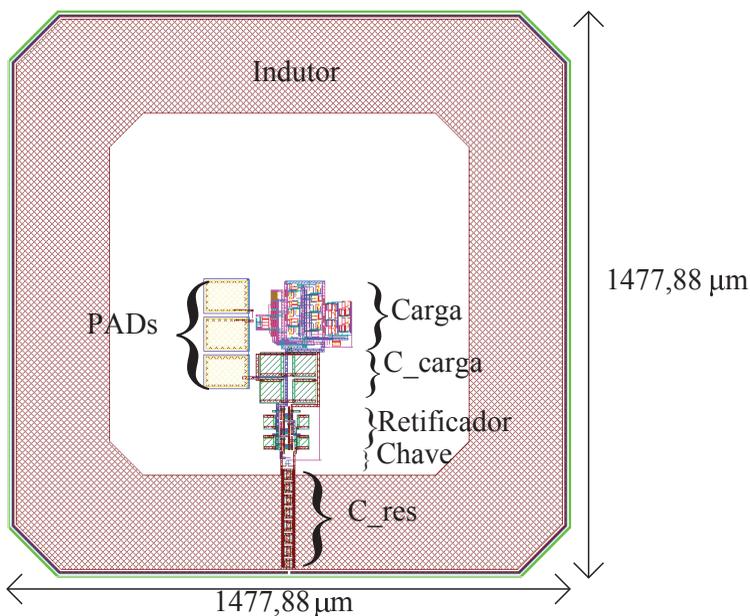
Seguem os leiautes dos sub-blocos juntamente com as características destes.

### A.1.1 Leiaute da etiqueta

O leiaute da etiqueta completa é apresentado na Figura 81. As dimensões do leiaute são: 1477,88  $\mu\text{m}$   $\times$  1477,88  $\mu\text{m}$ . Nesse leiaute, tanto a

tensão de alimentação da carga como o sinal de terra do circuito possuem blindagem para evitar problemas de ruído na alimentação do sistema. Além disso, é possível identificar os três PADs (A0, A1 e terra) para acessar externamente nas diferentes filas da memória.

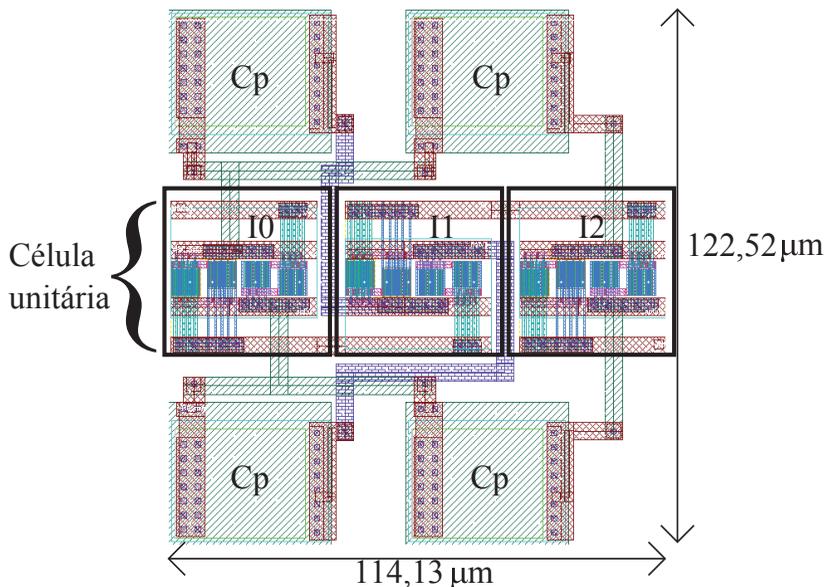
Figura 81: Leiaute da etiqueta completa.



### A.1.2 Leiaute do retificador

O leiaute do retificador de tensão é apresentado na Figura 82. As dimensões do leiaute são: 114,13  $\mu\text{m}$   $\times$  122,52  $\mu\text{m}$ . É importante indicar que a célula padrão do capacitor foi editada, diminuindo o número de contatos e a distribuição destes, e portanto, diminuindo a área total do capacitor. No entanto, o valor do capacitor, que é definido pela área entre as duas placas HT e QT da tecnologia, foi mantido, como observa-se na Figura 83. As dimensões passaram de 39,6  $\mu\text{m}$   $\times$  53,1  $\mu\text{m}$  para 33  $\mu\text{m}$   $\times$  38,45  $\mu\text{m}$ , reduzindo a área em 39,66 %.

Figura 82: Leiaute do retificador de tensão.



Na Figura 83 observam-se o capacitor padrão da tecnologia e o capacitor otimizado com as respectivas dimensões.

### A.1.3 Leiaute da Carga

O leiaute da carga completa é apresentado na Figura 84. As dimensões do leiaute são: 256,75  $\mu\text{m} \times 176,08 \mu\text{m}$ . Todos os pinos de alimentação ( $V_{dc}$  e  $ground$ ) de cada sub-bloco foram ligados diretamente a duas trilhas principais ( $V_{dc}$  geral e  $ground$  geral) porque o leiaute da carga foi realizado em formato de árvore para evitar a criação de *loops* de corrente, que poderiam atenuar o fluxo de campo magnético atravessando o *chip*.

Figura 83: Leiautes do (a) Capacitor padrão da tecnologia e do (b) Capacitor com a área otimizada.

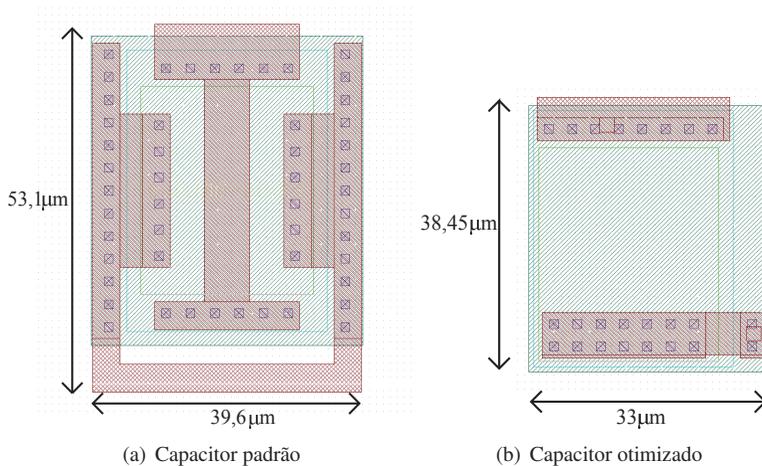
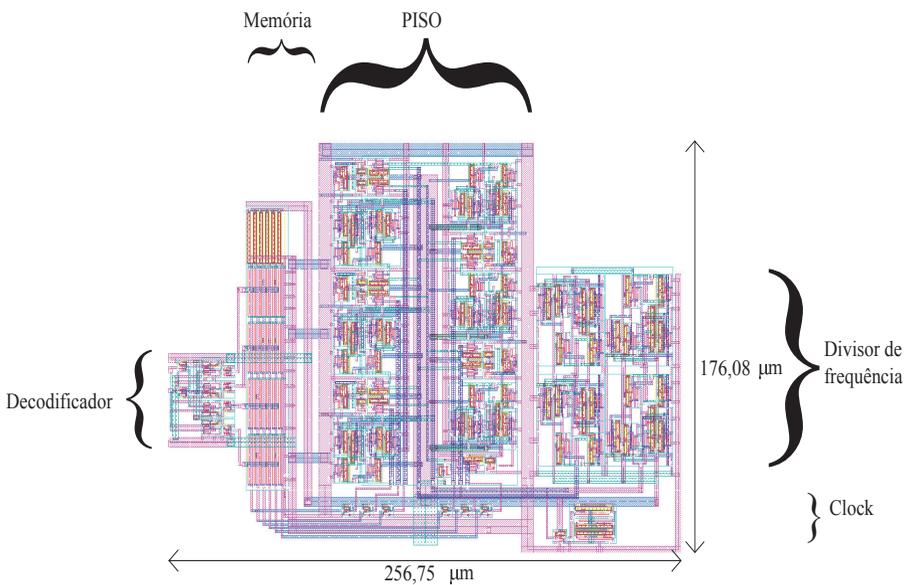


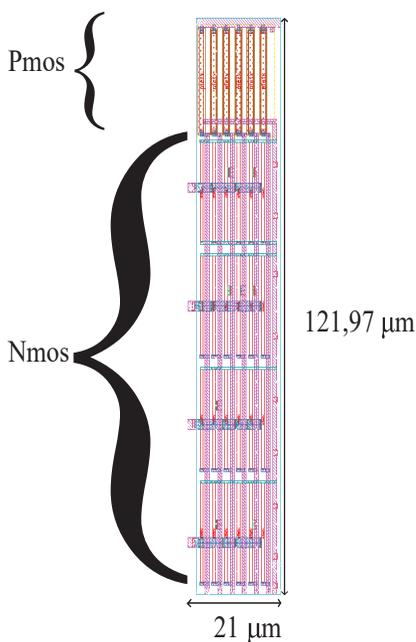
Figura 84: Leiaute da carga do sistema.



### A.1.4 Leiaute da memória ROM

O leiaute da memória ROM é apresentado na Figura 85. As dimensões do leiaute são:  $21\ \mu\text{m} \times 121,97\ \mu\text{m}$ . Uma técnica de leiaute especificamente para a memória ROM foi o uso de transistores dummy, que permitem atingir uma simetria do leiaute. Adicionalmente, eles diminuem as variações dos processos químicos na hora da prototipagem, que afetam o desempenho de cada um dos transistores (MARCEL J. M. PELGROM; WELBERS, 1989). Os dummies possuem todos seus terminais curto-circuitados para não interferirem no funcionamento do circuito. Eles têm a mesma razão de aspecto  $0,22\ \mu\text{m}/2\ \mu\text{m}$  dos transistores Nmos.

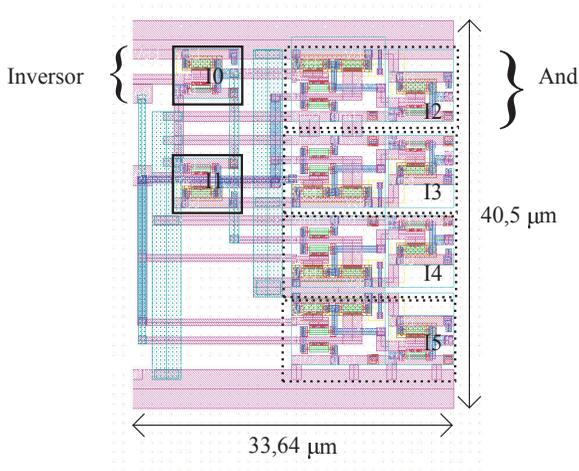
Figura 85: Leiaute da memória ROM.



### A.1.5 Leiaute do decodificador de dois para quatro endereços

O leiaute do decodificador de endereços é apresentado na Figura 86. As dimensões do leiaute são:  $40,5\ \mu\text{m} \times 33,64\ \mu\text{m}$ .

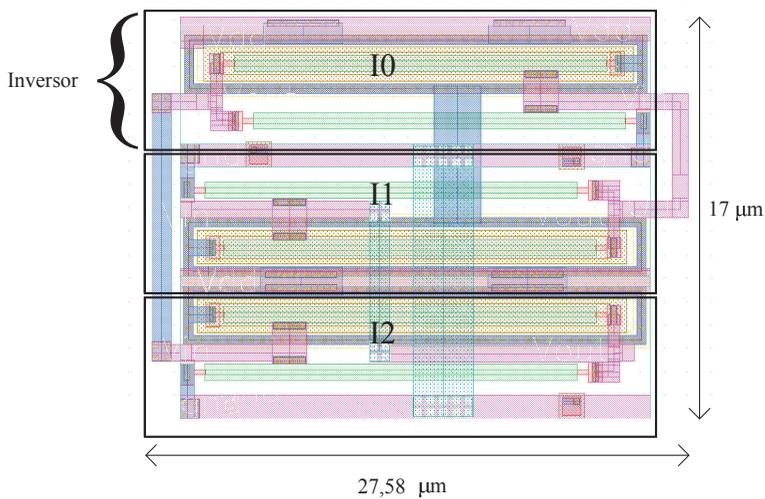
Figura 86: Leiaute do decodificador de dois para quatro endereços.



#### A.1.6 Leiaute do Clock

O leiaute do *clock* é apresentado na Figura 87. As dimensões do leiaute são: 27,58 μm × 17 μm.

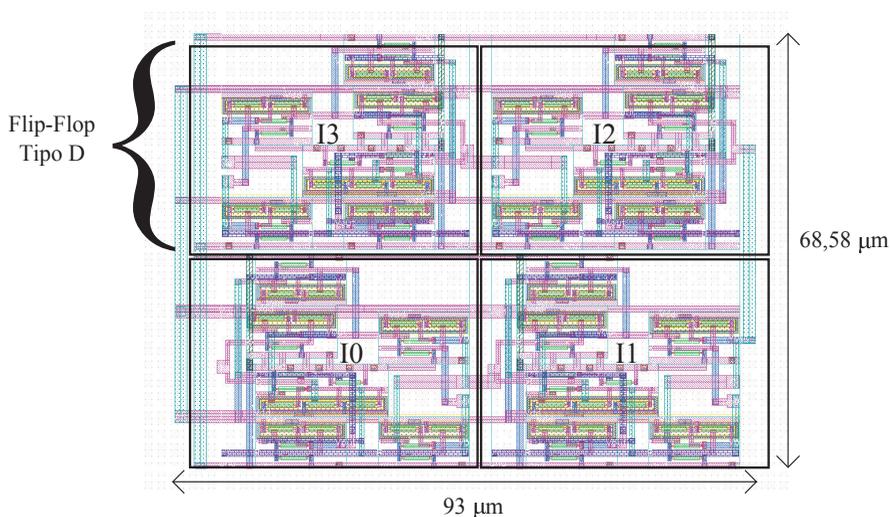
Figura 87: Leiaute da *clock*.



### A.1.7 Leiaute do divisor de frequência

O leiaute do divisor de frequência é apresentado na Figura 88. As dimensões do leiaute são:  $93 \mu\text{m} \times 68,58 \mu\text{m}$ .

Figura 88: Leiaute do divisor de frequência.

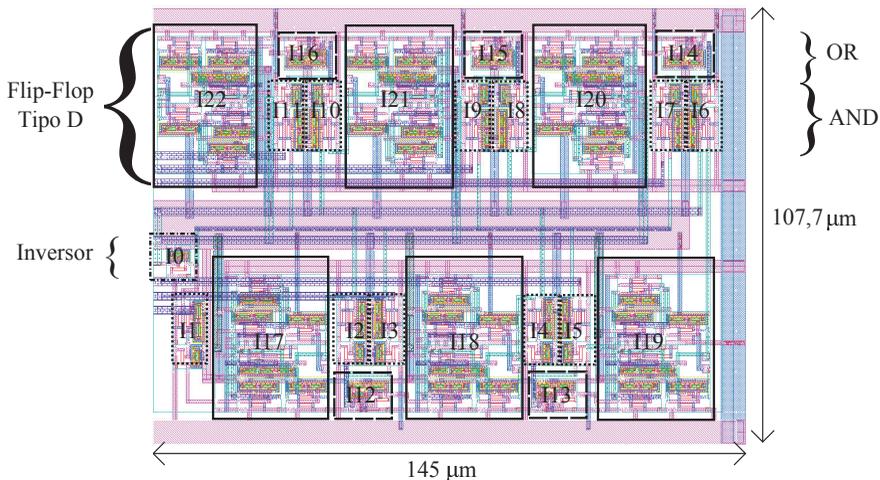


### A.1.8 Leiaute do registrador de deslocamento PISO

O leiaute do divisor de frequência é apresentado na Figura 89. As dimensões do leiaute são:  $145 \mu\text{m} \times 107,7 \mu\text{m}$ .

As linhas de alimentação  $V_{dc}$  e *ground* foram colocadas na parte superior, no meio e na parte inferior do leiaute para evitar linhas de metal cumpridas e, assim, diminuir as quedas de tensão devido as perdas nas linhas e para redução do efeito antena.

Figura 89: Leiaute do registrador de deslocamento PISO.



## A.2 LEIAUTES DA XFAB600NM

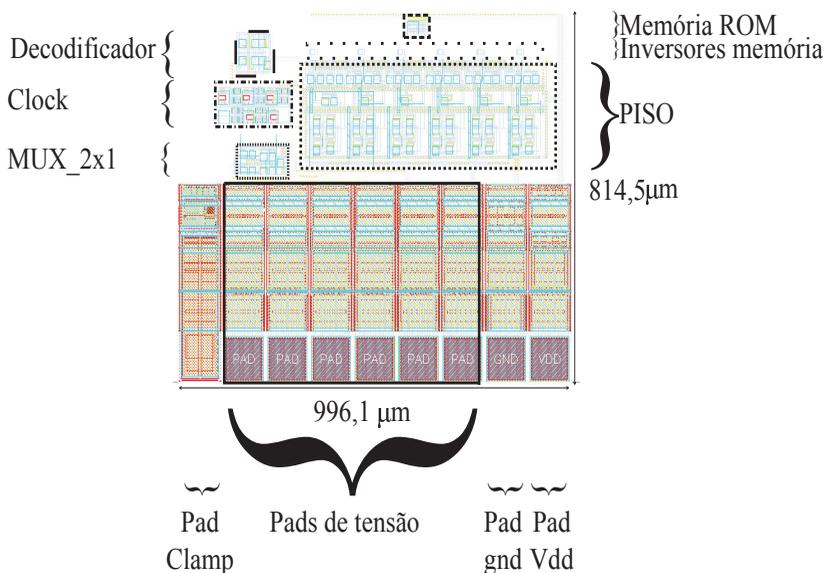
O leiaute do chip na XFAB600nm é apresentado na Figura 90. As dimensões do leiaute são:  $3232,5 \mu\text{m} \times 1877,95 \mu\text{m}$ . É necessário indicar que o circuito se encontra enquadrado em preto, já que, ele foi enviado para fabricação em um chip compartilhado com outros projetos.

Figura 90: Leiaute do chip enviado para fabricação.



O leiaute da carga com os pads é apresentado na Figura 91. As dimensões do leiaute são:  $996,1 \mu\text{m} \times 814,5 \mu\text{m}$ . Nesse leiaute é possível identificar todos os componentes que fazem parte da carga (Decodificador, Clock, Memória ROM, inversores da memória e registrador de deslocamento PISO). Além disso, foi acrescentado um multiplexador de dois para um (*MUX\_2x1*) para selecionar entre o *clock* integrado e um sinal de *clock* externo, caso falhe o primeiro. Adicionalmente, é possível observar oito *pads*, que correspondem a: sinais de tensão de alimentação (*Vdd* e *gnd*), sinal de seleção do multiplexador, sinal do *clock* externo, sinais de seleção do decodificador de dois para quatro endereços (*A0* e *A1*) e sinal de deslocamento ou *load* dos bits da memória ROM (*SH\_L*). Finalmente, existe um último *pad* para isolar as alimentações dos projetos compartilhando o chip (*Pad Clamp*) e evitar algum tipo de dano nos circuitos.

Figura 91: Leiaute da carga com os pads.





## **APÊNDICE B – Análise de *corners***



A análise de *corners* é feita para identificar a influência das variações de processo de fabricação, de tensão e de temperatura (PVT em Inglês) no consumo de potência do circuito.

## B.1 ANÁLISE DE *CORNERS*

Foram analisados dezesseis *corners* diferentes, que são apresentados na Tabela 16. Nesta tabela é possível identificar quatro tipos de processos (ff, ss, fs e sf), que correspondem à velocidade de resposta rápida (f) ou devagar (s) dos transistores Pmos (primeira letra) e Nmos (segunda letra). Além disso, a simulação da variação na alimentação dos blocos da carga foi feita para 0,9 V e 1,1 V. Finalmente a simulação da variação em temperatura foi realizada para uma faixa de -40 °C a 80 °C.

Tabela 16: *Corners* a serem analisados.

<i>Corner</i>	C0	C1	C2	C3
Processo	ff	ss	fs	sf
Vdd [V]	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1
Temperatura [°C]	-40 e 80	-40 e 80	-40 e 80	-40 e 80

As Tabelas 17 a 20 apresentam os *corners* das potências estática e dinâmica dos sub-blocos que compõem a carga do sistema para A0=0 V e A1=0 V, A0=1 V e A1=0 V, A0=0 V e A1=1 V e A0=1 V e A1=1 V, respectivamente.

Tabela 17: Tabela com os *corners* das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=0 V e A1=0 V.

Sub-bloco	Potência Estática [nW]			Potência Dinâmica [nW]		
	Nominal	Mínimo	Máximo	Nominal	Mínimo	Máximo
Decodificador de endereços de 2 para 4	2,63	1,58	6,12	4790	2910	10550
Memória ROM	472,2	233,9	1020	596,3	295,5	1290
Oscilador em anel	151,4	12,86	332,8	302,9	15,31	709,7
Registrador de deslocamento PISO	175,5	0,258	388,3	10350	161,5	24040
Divisor de frequência	159,7	0,1	344,5	1680	43,83	6140
Total	1270	308,3	2660	12800	3400	28940

Tabela 18: Tabela com os *corners* das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=1 V e A1=0 V.

Sub-bloco	Potência Estática [nW]			Potência Dinâmica [nW]		
	Nominal	Mínimo	Máximo	Nominal	Mínimo	Máximo
Decodificador de endereços de 2 para 4	2,52	1,52	5,97	3320	2030	5910
Memória ROM	472,7	234,4	1020	724,8	360,5	1570
Oscilador em anel	151,2	12,86	334,8	302,9	13,79	709,7
Registrador de deslocamento PISO	152,2	0,26	349,7	9740	530	22910
Divisor de frequência	157,2	0,1	348	1680	4,65	6740
Total	1160	308,7	2500	11100	2540	25750

Tabela 19: Tabela com os *corners* das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=0 V e A1=1 V.

Sub-bloco	Potência Estática [nW]			Potência Dinâmica [nW]		
	Nominal	Mínimo	Máximo	Nominal	Mínimo	Máximo
Decodificador de endereços de 2 para 4	2,52	1,51	5,97	3360	2030	5900
Memória ROM	472,7	234,3	1020	724,8	359,7	1570
Oscilador em anel	152,2	12,86	334,8	302,9	13,79	709,7
Registrador de deslocamento PISO	159	0,26	344	9740	530,8	22930
Divisor de frequência	165,4	0,1	348,9	1890	4,42	4020
Total	1180	308,7	2500	11100	2540	25720

Tabela 20: Tabela com os *corners* das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=1 V e A1=1 V.

Sub-bloco	Potência Estática [nW]			Potência Dinâmica [nW]		
	Nominal	Mínimo	Máximo	Nominal	Mínimo	Máximo
Decodificador de endereços de 2 para 4	2,63	1,58	6,12	4790	2910	10570
Memória ROM	472,2	233,9	1020	596,4	295,5	1290
Oscilador em anel	150,6	12,86	333,2	302,9	14,51	709,7
Registrador de deslocamento PISO	168,1	0,26	399,8	10330	161,9	23940
Divisor de frequência	156,7	0,1	345,1	1680	43,68	6540
Total	1230	308,3	2660	12490	3370	28920

A partir dos resultados anteriores, é possível constatar que os valores de potência estática obtidos na análise de *corners* são inferiores aos  $3 \mu\text{W}$  especificados.

**APÊNDICE C – Metodologia ACM para extração de parâmetros dos transistores na tecnologia GF180nm**

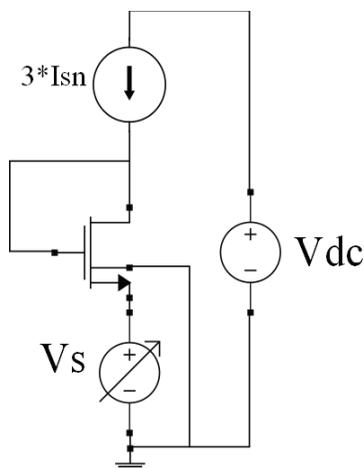


A extração de parâmetros dos transistores da tecnologia permite obter informações necessárias para projetar os circuitos. Além disso, é possível conhecer as limitantes da própria tecnologia, que devem ser levadas em conta para obter um funcionamento correto do circuito. Portanto, ambos os transistores Nmos e Pmos devem ser caracterizados. A metodologia usada foi definida em (SCHNEIDER; GALUP-MONTORO., 2010).

### C.1 TRANSISTOR NMOS

A Figura 92 apresenta o esquemático para a extração da tensão de limiar do *mosfet* tipo n. Onde  $I_{sn}$  corresponde à corrente específica do transistor Nmos

Figura 92: Esquemático para extração da tensão de limiar do *mosfet* tipo n.



e é obtida a partir do método (SCHNEIDER; GALUP-MONTORO., 2010).

O valor da tensão de limiar varia com as dimensões do transistor, portanto, como primeira etapa do processo de extração, foram definidas diferentes razões de aspecto  $\frac{W}{L}$  dos transistores Nmos. Na Tabela 21 são apresentadas as razões de aspecto usadas para cada transistor Nmos. Uma vez definidas as razões de aspecto, realiza-se uma análise dos *corners* da tensão limiar para ter um valor médio desta considerando variações de processo, temperatura e tensão. Na Tabela 22 são apresentados os parâmetros dos *corners*.

Tabela 21: Razões de aspecto  $\frac{W_t}{L_t}$  do transistor Nmos.

Transistor	Razão de aspecto $\mu\text{m}/\mu\text{m}$
TN0	0,72/0,18
TN1	0,6/0,18
TN2	1000/0,18
TN3	1/1
TN4	2/2
TN5	0,22/0,18
TN6	5/5
TN7	10/10
TN8	30/10

Tabela 22: Parâmetros dos *corners* da tensão limiar.

Corner	C0	C1	C2	C3
Processo	ff	ss	fs	sf
Vdd [V]	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1
Temperatura [°C]	-40 e 80	-40 e 80	-40 e 80	-40 e 80

Os resultados de simulação são apresentados na Tabela 23.

Tabela 23: *Corners* da tensão de limiar  $V_{t0}$  do transistor Nmos.

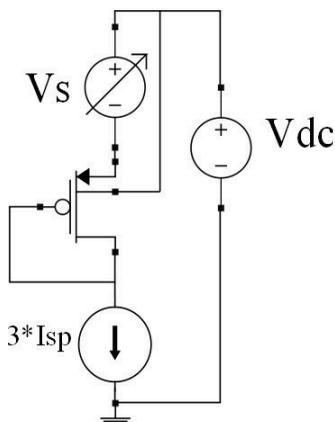
Corner	C0.0	C0.1	C1.0	C1.1	C2.0	C2.1	C3.0	C3.1
$v_{t0\_TN0}$ [V]	0,4097	0,3103	0,479	0,3793	0,4159	0,3166	0,4754	0,3756
$v_{t0\_TN1}$ [V]	0,4034	0,3038	0,472	0,3722	0,4095	0,31	0,4686	0,3687
$v_{t0\_TN2}$ [V]	0,404	0,3062	0,4723	0,3733	0,41	0,3121	0,4688	0,3698
$v_{t0\_TN3}$ [V]	0,3323	0,2189	0,4059	0,2941	0,3405	0,2274	0,4006	0,2886
$v_{t0\_TN4}$ [V]	0,3188	0,2038	0,393	0,2794	0,3272	0,2121	0,3875	0,2737
$v_{t0\_TN5}$ [V]	0,3444	0,2409	0,3977	0,2956	0,3477	0,2446	0,3976	0,2952
$v_{t0\_TN6}$ [V]	0,3005	0,1828	0,3744	0,2579	0,3088	0,1914	0,3689	0,2523
$v_{t0\_TN7}$ [V]	0,2822	0,1611	0,3557	0,2357	0,2904	0,1695	0,3504	0,2302
$v_{t0\_TN8}$ [V]	0,2746	0,1538	0,3477	0,2279	0,2826	0,162	0,3425	0,2226

Como o objetivo dessa análise era de ter uma valor referência da tensão de limiar, já que no circuito projetado ia-se ter uma tensão de limiar por cada razão de aspectos  $\frac{W_t}{L_t}$ , foi realizada a média dos valores obtidos na Tabela 23. O valor da tensão de limiar do transistor Nmos é  $V_{t0} \approx 0,322$  V.

## C.2 TRANSISTOR PMOS

A Figura 93 apresenta o esquemático para extração da tensão limiar do mosfet tipo p. Onde  $I_{sp}$  corresponde à corrente específica do transistor Pmos

Figura 93: Esquemático para extração da tensão limiar do MOSFET tipo p.



e é obtida a partir do método (SCHNEIDER; GALUP-MONTORO., 2010). O mesmo procedimento do transistor Nmos é utilizado, as razões de aspecto  $\frac{W_t}{L_t}$  dos transistores são os mesmos definidos na Tabela 21, os parâmetros dos *corners* são os mesmos da Tabela 22. Os resultados são apresentados na Tabela 24. Realizando a média dos valores obtidos na Tabela 24, o valor encontrado

Tabela 24: *Corners* da tensão de limiar  $V_{t0}$  do transistor Pmos.

Corner	C0_0	C0_1	C1_0	C1_1	C2_0	C2_1	C3_0	C3_1
$v_{t0\_TP0}$ [V]	0,3897	0,3049	0,4691	0,3819	0,4637	0,3765	0,3986	0,3136
$v_{t0\_TP1}$ [V]	0,4087	0,3211	0,4875	0,3963	0,4819	0,391	0,4178	0,3297
$v_{t0\_TP2}$ [V]	0,4164	0,2977	0,4911	0,3731	0,4861	0,3678	0,4249	0,3065
$v_{t0\_TP3}$ [V]	0,4232	0,301	0,4975	0,3756	0,4925	0,3704	0,4318	0,3098
$v_{t0\_TP4}$ [V]	0,3569	0,2744	0,4352	0,3529	0,4303	0,3477	0,3654	0,2829
$v_{t0\_TP5}$ [V]	0,4222	0,2964	0,4959	0,3703	0,491	0,3651	0,4307	0,3051
$v_{t0\_TP6}$ [V]	0,4123	0,283	0,4859	0,3566	0,4809	0,3514	0,4208	0,2916
$v_{t0\_TP7}$ [V]	0,4127	0,2832	0,4862	0,3566	0,4812	0,3514	0,4212	0,2918

da tensão de limiar do transistor Pmos  $|V_{t0}| = \approx 0,388$  V.



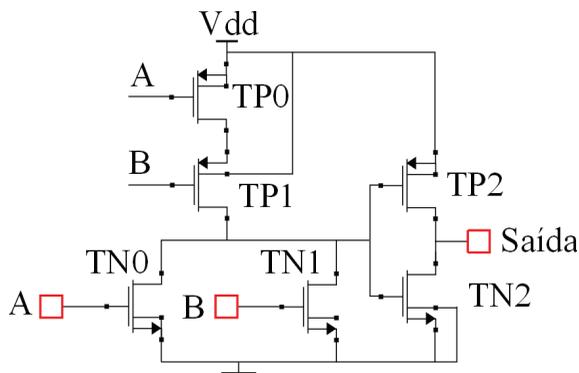
**APÊNDICE D – Estudo dos tempos de propagação das portas lógicas  
OR, AND e NOT e do flip-flop tipo D**



## D.1 PORTA LÓGICA OR

Na Figura 94, é possível observar o esquemático da porta lógica OR.

Figura 94: Esquemático da porta lógica OR.



Os parâmetros definidos para validar o funcionamento da porta lógica OR são:

- Potência média (estática).
- Potência de pico (dinâmica).
- Atraso de propagação.
- Produto *potência-atraso*.

Os resultados dos parâmetros de validação são apresentados na Tabela 25.

Tabela 25: Parâmetros da porta lógica OR.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	6,723	11,52
Potência de pico (dinâmica) [nW]	2079	2698
Atraso de propagação [ns]	11,675	15,8
Produto <i>potência-atraso</i> [J]	$78,32 \times 10^{-18}$	$182 \times 10^{-18}$

Onde o tempo de propagação  $t_p$ , o tempo de subida  $t_r$  e o tempo de descida  $t_f$  estão definidos nas Equações D.1, D.2 e D.3 respectivamente.

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}, \quad (D.1)$$

$$t_r = t_{90\%V_{out}} - t_{10\%V_{out}}, \quad (D.2)$$

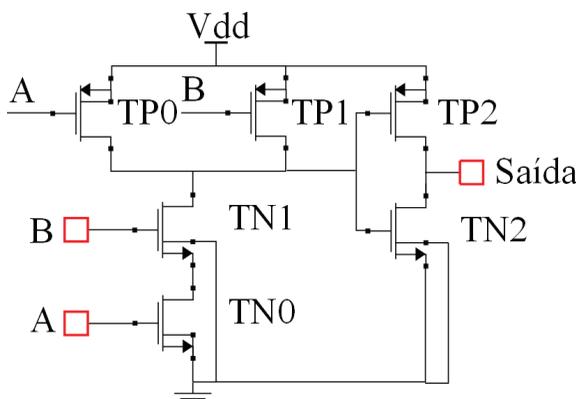
$$t_f = t_{10\%V_{out}} - t_{90\%V_{out}}. \quad (D.3)$$

A medida do tempo de subida é realizada quando o sinal de saída tem uma transição do nível lógico baixo para o nível lógico alto. Por sua vez, o tempo de descida é medido quando a saída passa do nível lógico alto para o nível lógico baixo. Finalmente, o produto potência-atraso é definido como a multiplicação entre a potência média e o tempo de atraso ou de propagação.

## D.2 PORTA LÓGICA AND

Na Figura 95, é possível observar o esquemático da porta lógica AND.

Figura 95: Esquemático da porta lógica AND.



Os parâmetros definidos para validar o funcionamento da porta lógica AND são os mesmos da porta OR. Os resultados dos parâmetros de validação são apresentadas na Tabela 26.

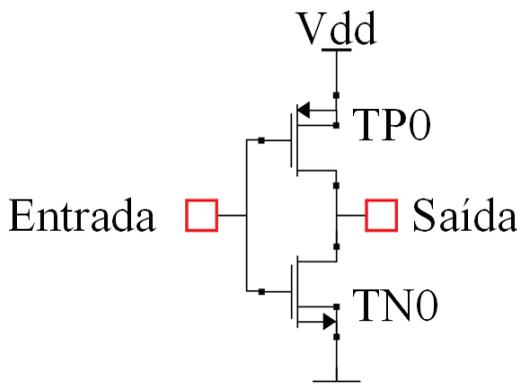
Tabela 26: Parâmetros para validar o funcionamento da porta lógica AND.

Parâmetros	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	10,94	19,31
Potência de pico (dinâmica) [nW]	1381	1718
Atraso de propagação [ns]	11,155	14,202
Produto potência-atraso [J]	$122,037 \times 10^{-18}$	$274,24 \times 10^{-18}$

### D.3 INVERSOR CMOS

Na Figura 96, é possível observar o esquemático da porta lógica inversora. Os parâmetros definidos para validar o funcionamento do inversor

Figura 96: Esquemático da porta lógica inversora.



CMOS são os mesmos da porta OR. Os resultados dos parâmetros de validação são apresentadas na Tabela 27.

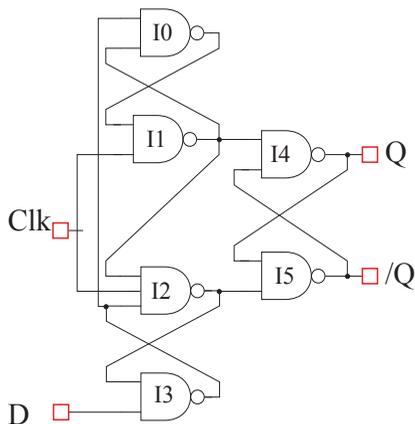
Tabela 27: Parâmetros para validar o funcionamento do inversor CMOS.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	2,155	4,82
Potência de pico (dinâmica) [nW]	674,9	1035
Tempo de subida $t_r$ e tempo de descida $t_f$ [ns]	1,96/0,858	3,48/1,75
Atraso de propagação $t_p$ [ns]	6,67	8,01

### D.4 FLIP-FLOP TIPO D

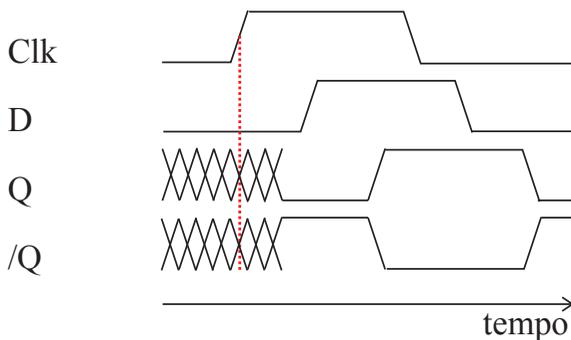
A Figura 97 apresenta o esquemático do flip-flop D usado no sistema do registrador de deslocamento PISO e do divisor de frequência.

Figura 97: Esquemático do Flip-Flop D.



O transiente dos sinais do Flip-Flop D é ilustrado na Figura 98.

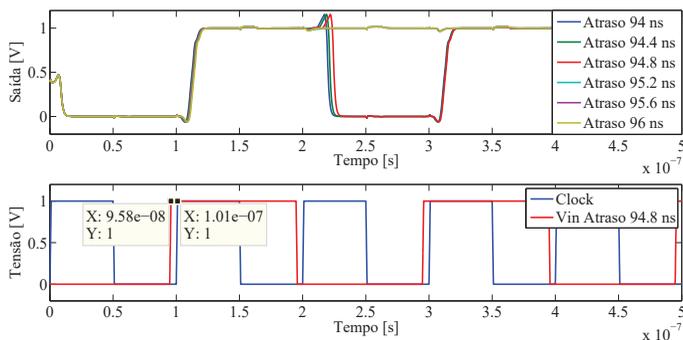
Figura 98: Transiente do flip-flop tipo D.



A metodologia para a obtenção do tempo de *setup* do flip-flop, que é o tempo em que o sinal de entrada deve estar estável antes do pulso do clock acontecer, foi baseada em (WANG, 2013). Nas Figuras 99-102 são apresentadas as simulações transiente e paramétrica tanto do esquemático como após extração das estruturas parasitas da saída para encontrar o tempo de *setup*. Foi realizada uma simulação da saída quando o pulso do sinal de entrada se aproximava da transição positiva do sinal de *clock*, instante no qual o flip-flop transfere o sinal de entrada na saída. A medida que o tempo de aproximação vai diminuindo, há um instante onde o flip-flop não consegue modificar a saída para a forma de onda desejada. Como é possível ter tanto

uma transição positiva como negativa do sinal de entrada, existem dois tempos de *setup*, portanto o maior dos dois tempos obtidos foi definido como o tempo de *setup* do flip-flop. Nas Figuras 99 a 102, as curvas Atraso correspondem à saída Q do flip-flop.

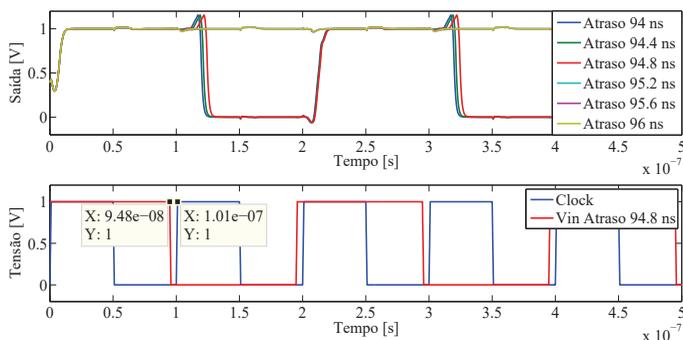
Figura 99: Simulação do esquemático da saída do Flip-Flop quando há uma transição crescente na entrada para encontrar o tempo de *setup*.



A partir da Figura 99 é possível identificar o tempo de *setup*, que tem como valor:

$$t_{setup} = 101 \times 10^{-9} - 95,8 \times 10^{-9} \approx 5,2 \text{ ns.} \quad (\text{D.4})$$

Figura 100: Simulação do esquemático da saída do Flip-Flop quando se tem uma transição decrescente na entrada para encontrar o tempo de *setup*.



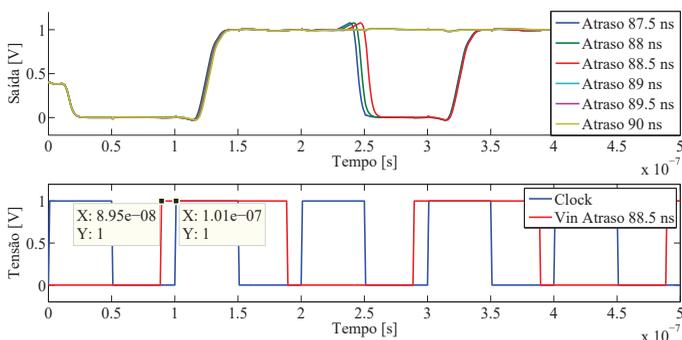
A partir da Figura 100 é possível identificar o tempo de *setup*, que tem

como valor:

$$t_{setup} = 101 \times 10^{-9} - 94,8 \times 10^{-9} \approx 6,2 \text{ ns.} \quad (\text{D.5})$$

A partir da Figura 101 é possível identificar o tempo de *setup*, que tem como

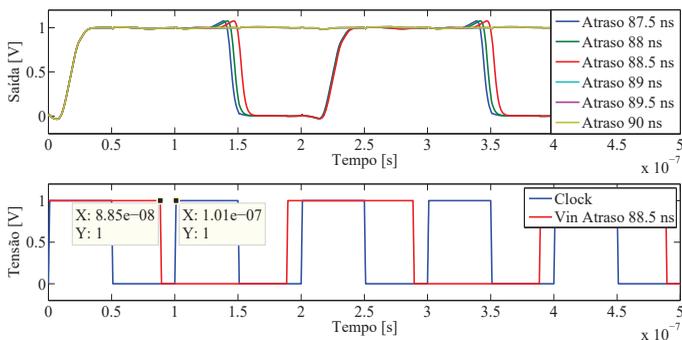
Figura 101: Simulação após extração das parasitas da saída do Flip-Flop quando se tem uma transição crescente na entrada para encontrar o tempo de *setup*.



valor:

$$t_{setup} = 101 \times 10^{-9} - 89,5 \times 10^{-9} \approx 11,5 \text{ ns.} \quad (\text{D.6})$$

Figura 102: Simulação após extração das parasitas da saída do Flip-Flop quando se tem uma transição decrescente na entrada para encontrar o tempo de *setup*.



A partir da Figura 102 é possível identificar o tempo de *setup*, que tem

como valor:

$$t_{setup} = 101 \times 10^{-9} - 88,5 \times 10^{-9} \approx 12,5 \text{ ns.} \quad (\text{D.7})$$

Os parâmetros definidos para validar o funcionamento do Flip-Flop tipo D são:

- Potência média (estática).
- Potência de pico (dinâmica).
- Tempo de *setup*.
- Atraso *clock-to-Q*.

Os resultados dos parâmetros de validação são apresentadas na Tabela 28.

Tabela 28: Parâmetros de validação do funcionamento do Flip-Flop tipo D.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	18,48	39,28
Potência de pico (dinâmica) [nW]	2040	2370
Tempo de <i>setup</i> $t_{setup}$ [ns]	6,2	12,5
Atraso <i>clock-to-Q</i> $t_{pcq}$ [ns]	19,4	41,4

A Equação D.8, define o período mínimo  $T_c$  que deve ser usado no sinal de *clock* do Flip-Flop para transmitir a informação corretamente.

$$T_c \geq t_{pcq} + t_{setup}, \quad (\text{D.8})$$

A Tabela 29 apresenta o período mínimo para o circuitos de esquemático e após extração das estruturas parasitas.

Tabela 29: Mínimo período do sinal de *clock* do Flip-Flop tipo D.

Valor obtido do esquemático [ns]	Valor obtido com extração das parasitas [ns]
25,6	53,9

A partir dos resultados obtidos, é possível observar que a metodologia não permite ter uma correta aproximação do tempo de *setup*. Observa-se que o período escolhido para o projeto,  $T_c = 1 \mu\text{s}$ , não tem problemas de *Timing* nas portas com lógica sequencial.

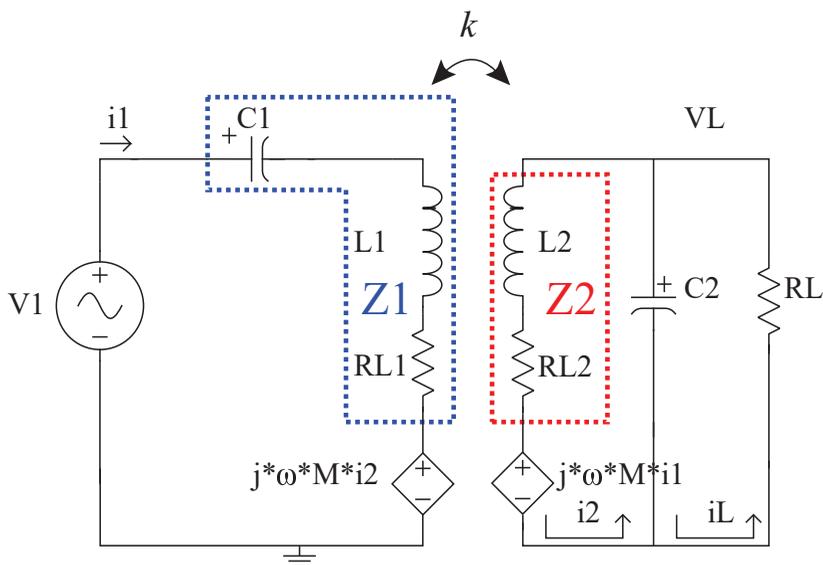


## **APÊNDICE E – Modelagem matemática do acoplamento indutivo**



A seguir é apresentada a modelagem matemática para obter a expressão do ganho de tensão do acoplamento indutivo da Figura 103.

Figura 103: Modelagem do acoplamento indutivo com os componentes, as estruturas parasitas e a indutância mutua.



## E.1 GANHO EM TENSÃO

Definam-se as seguintes impedâncias para facilitar a análise nodal:

$$Z_1 = R_{L1} + j\omega L_1 + \frac{1}{j\omega C_1}, \quad (\text{E.1})$$

$$Z_2 = R_{L2} + j\omega L_2, \quad (\text{E.2})$$

$$Z_{C2} = \frac{1}{j\omega C_2}. \quad (\text{E.3})$$

A análise a partir da lei das tensões de Kirchoff no primário indica:

$$V_1 = i_1 Z_1 + j\omega M i_2. \quad (\text{E.4})$$

No secundário tem-se:

$$Z_{c2}(i_L - i_2) + i_2(Z_2) + j\omega M i_1 = 0, \quad (\text{E.5})$$

$$i_2 = \left(1 - \frac{R_L}{Z_{c2}}\right) i_L \quad (\text{E.6})$$

Substituindo a Equação E.6 na Equação E.5 e colocando  $i_1$  em evidência tem-se:

$$i_1 = \frac{-j}{\omega M} \left( \left( \frac{R_L}{Z_{c2}} - 1 \right) (Z_2 - Z_{c2}) i_L - Z_{c2} i_L \right). \quad (\text{E.7})$$

Finalmente, substitui-se as Equações E.7 e E.6 na Equação E.4 e coloca-se  $\frac{V_L}{V_1}$  em evidência para determinar a expressão correspondente ao ganho de tensão:

$$\frac{V_L}{V_1} = \frac{1}{\left[ \frac{1}{j\omega M} \left( \left( \frac{R_L}{Z_{c2}} - 1 \right) (Z_2 - Z_{c2}) - Z_{c2} \right) (Z_1) \right] + j\omega M \left( 1 - \frac{R_L}{Z_{c2}} \right)} \cdot \frac{1}{R_L}. \quad (\text{E.8})$$